

#3/ Priority  
Docketing  
4-10-02

JC996 U.S. PTO  
10/022262  
12/20/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei Yamazaki et al.      Art Unit : Unknown  
Serial No. : New application      Examiner : Unknown  
Filed : December 19, 2001  
Title : LIGHT EMITTING DEVICE AND METHOD OF MANUFACTURING THE  
SAME

Commissioner for Patents  
Washington, D.C. 20231

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

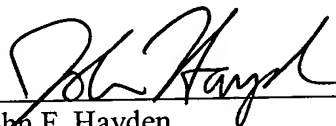
**Japan Application No. 2000-388378 filed December 21, 2000**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 19, 2001

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

Fish & Richardson P.C.  
601 Thirteenth Street, NW  
Washington, DC 20005  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCS96 U.S. PTO  
10/022262



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月21日

出 願 番 号

Application Number:

特願2000-388378

出 願 人

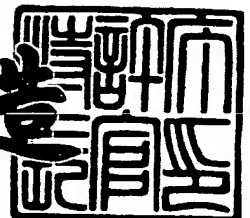
Applicant(s):

株式会社半導体エネルギー研究所

2001年10月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3091632

【書類名】 特許願

【整理番号】 P005370

【提出日】 平成12年12月21日

【あて先】 特許庁長官 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 山崎 舜平

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 小山 潤

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 長田 麻衣

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置およびその作製方法

【特許請求の範囲】

【請求項 1】

ソース信号線と、発光素子と、T F Tとを有する発光装置であって、

前記ソース信号線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、

前記ソース信号線に入力される信号によって前記T F Tのスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置。

【請求項 2】

電源供給線と、発光素子と、T F Tとを有する発光装置であって、

前記電源供給線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、

前記T F Tのゲート電極に入力される信号によって前記T F Tのスイッチングが制御され、

前記T F Tがオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置。

【請求項 3】

請求項 1 または請求項 2 において、前記被膜は電気メッキ法によって形成されていることを特徴とする発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、前記被膜は、C u、A l、A u、A g、またはこれらの合金を主成分とすることを特徴とする発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、前記導電体は、前記T F Tのゲート電極と同じ材料で形成されることを特徴とする発光装置。

【請求項 6】

ソース信号線と、電源供給線と、発光素子と、T F Tとを有する発光装置であって、

前記ソース信号線は、第 1 の導電体と、前記第 1 の導電体よりも低い抵抗値を有し、かつ前記第 1 の導電体を覆っている第 1 の被膜とからなり、

前記電源供給線は、第 2 の導電体と、前記第 2 の導電体よりも低い抵抗値を有し、かつ前記第 2 の導電体を覆っている第 2 の被膜とからなり、

前記ソース信号線に入力される信号によって前記 T F T のスイッチングが制御され、

前記 T F T がオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置。

【請求項 7】

請求項 6 において、前記第 1 の被膜または前記第 2 の被膜は、電気メッキ法によって形成されていることを特徴とする発光装置。

【請求項 8】

請求項 6 または請求項 7 において、前記第 1 の被膜または前記第 2 の被膜は、Cu、Al、Au、Ag、またはこれらの合金を主成分とすることを特徴とする発光装置。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか 1 項において、前記第 1 の導電体と、前記第 2 の導電体とは、同時に形成されていることを特徴とする発光装置。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか 1 項において、前記第 1 の被膜または前記第 2 の被膜は、前記 T F T のゲート電極と同じ材料で形成されることを特徴とする発光装置。

【請求項 11】

請求項 6 乃至請求項 10 のいずれか 1 項において、前記第 1 の被膜または前記第 2 の被膜は、印刷法により形成されたことを特徴とする発光装置。

【請求項 12】

ソース信号線と、発光素子と、T F T と、端子とを有する発光装置であって、前記ソース信号線は、第 1 の導電体と、前記第 1 の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第 1 の被膜とからなり、

前記端子は、第 3 の導電体と、前記第 3 の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第 3 の被膜とからなり、

前記ソース信号線に入力される信号によって前記 T F T のスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置。

【請求項 1 3】

請求項 9 において、前記第 1 の被膜または前記第 3 の被膜は、電気メッキ法によって形成されていることを特徴とする発光装置。

【請求項 1 4】

請求項 9 または請求項 1 0 において、前記第 1 の被膜または前記第 3 の被膜は、Cu、Al、Au、Ag、またはこれらの合金を主成分とすることを特徴とする発光装置。

【請求項 1 5】

請求項 1 2 乃至請求項 1 4 のいずれか 1 項において、前記第 1 の導電体と、前記第 3 の導電体とは、同時に形成されていることを特徴とする発光装置。

【請求項 1 6】

請求項 1 2 乃至請求項 1 5 のいずれか 1 項において、前記第 1 の被膜または前記第 3 の被膜は、前記 T F T のゲート電極と同じ材料で形成されることを特徴とする発光装置。

【請求項 1 7】

請求項 1 2 乃至請求項 1 6 のいずれか 1 項において、前記第 1 の被膜または前記第 3 の被膜は、印刷法により形成されたことを特徴とする発光装置。

【請求項 1 8】

電源供給線と、発光素子と、T F T と、端子とを有する発光装置であって、

前記電源供給線は、第 2 の導電体と、前記第 2 の導電体よりも低い抵抗値を有し、かつ前記第 2 の導電体を覆っている第 2 の被膜とからなり、

前記端子は、第 3 の導電体と、前記第 3 の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第 3 の被膜とからなり、

前記 T F T のゲート電極に入力される信号によって前記 T F T のスイッチングが制御され、

前記 T F T がオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置。

【請求項 1 9】

請求項 1 2 において、前記第 2 の被膜または前記第 3 の被膜は、電気メッキ法によって形成されていることを特徴とする発光装置。

【請求項 2 0】

請求項 6 または請求項 7 において、前記第 2 の被膜または前記第 3 の被膜は、Cu、Al、Au、Ag、またはこれらの合金を主成分とすることを特徴とする発光装置。

【請求項 2 1】

請求項 1 8 乃至請求項 2 0 のいずれか 1 項において、前記第 2 の導電体と、前記第 3 の導電体とは、同時に形成されていることを特徴とする発光装置。

【請求項 2 2】

請求項 1 8 乃至請求項 2 1 のいずれか 1 項において、前記第 2 の被膜または前記第 3 の被膜は、前記 T F T のゲート電極と同じ材料で形成されることを特徴とする発光装置。

【請求項 2 3】

請求項 1 8 乃至請求項 2 2 のいずれか 1 項において、前記第 2 の被膜または前記第 3 の被膜は、印刷法により形成されたことを特徴とする発光装置。

【請求項 2 4】

ソース信号線、発光素子及び第 1 の T F T を含む画素部と、第 2 の T F T 及び第 3 の T F T を含む駆動回路とを有する発光装置であって、

前記ソース信号線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、

前記ソース信号線に入力される信号によって前記第 1 の T F T のスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置。

【請求項 2 5】

電源供給線、発光素子及び第 1 の T F T を含む画素部と、第 2 の T F T 及び第

3 の T F T を含む駆動回路とを有する発光装置であって、

前記電源供給線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、

前記第 1 の T F T のゲート電極に入力される信号によって前記第 1 の T F T のスイッチングが制御され、

前記第 1 の T F T がオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置。

【請求項 2 6】

請求項 2 4 または請求項 2 5 において、前記第 1 の T F T、前記第 2 の T F T 及び前記第 3 の T F T は、n チャンネル型 T F T であることを特徴とする発光装置。

【請求項 2 7】

請求項 2 4 または請求項 2 5 において、前記第 1 の T F T、前記第 2 の T F T 及び前記第 3 の T F T は、p チャンネル型 T F T であることを特徴とする発光装置。

【請求項 2 8】

請求項 2 6 または請求項 2 7 において、前記第 2 の T F T 及び前記第 3 の T F T で E E M O S 回路または E D M O S 回路が形成されたことを特徴とする発光装置。

【請求項 2 9】

請求項 2 4 または請求項 2 5 において、前記第 2 の T F T は n チャンネル型 T F T であり、前記第 3 の T F T は p チャンネル型 T F T であることを特徴とする発光装置。

【請求項 3 0】

請求項 2 4 乃至請求項 2 9 のいずれか 1 項において、前記被膜は、電気メッキ法によって形成されていることを特徴とする発光装置。

【請求項 3 1】

請求項 2 4 乃至請求項 2 9 のいずれか 1 項において、前記被膜は、印刷法により形成されたことを特徴とする発光装置。

【請求項 3 2】

請求項 2 4 乃至請求項 3 1 のいずれか 1 項において、前記被膜は、Cu、Al、Au、Ag、またはこれらの合金を主成分とすることを特徴とする発光装置。

【請求項 3 3】

請求項 2 4 乃至請求項 3 2 のいずれか 1 項において、前記導電体は、前記第 1 の TFT のゲート電極と同じ材料で形成されることを特徴とする発光装置。

【請求項 3 4】

請求項 2 4 乃至請求項 3 3 のいずれか 1 項において、前記第 1 の TFT は、テーパー部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴とする発光装置。

【請求項 3 5】

請求項 2 4 乃至請求項 3 4 のいずれか 1 項において、前記第 1 の TFT は、複数のチャネル形成領域を有していることを特徴とする発光装置。

【請求項 3 6】

請求項 2 4 乃至請求項 3 4 のいずれか 1 項において、前記第 1 の TFT は、3 つのチャネル形成領域を有していることを特徴とする発光装置。

【請求項 3 7】

請求項 2 4 乃至請求項 3 6 のいずれか 1 項において、前記第 2 及び第 3 の TFT は、テーパー部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴とする発光装置。

【請求項 3 8】

請求項 2 4 乃至請求項 3 7 のいずれか 1 項において、前記第 1、第 2 または第 3 の TFT の不純物領域における不純物濃度は、少なくとも  $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$  の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴とする発光装置。

【請求項 3 9】

請求項 1 乃至請求項 3 8 のいずれか 1 項において、前記発光装置とは、エレクトロルミネッセンス表示装置、パーソナルコンピュータまたはデジタルビデオデ

ィスクプレーヤーであることを特徴とする発光装置。

【請求項 4 0】

基板の絶縁表面上に半導体層を形成する工程と、  
前記半導体層上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極と、導電体とを形成する工程と、  
前記半導体層に n 型を付与する不純物元素を添加して n 型の不純物領域を形成する工程と、  
前記導電体の表面に電気メッキ法により、前記導電体よりも抵抗の低い被膜を形成することでソース信号線を形成する工程と、  
前記ソース信号線を覆う絶縁膜を形成する工程と、  
前記絶縁膜上にゲート信号線を形成する工程と、  
を有する発光装置の作製方法。

【請求項 4 1】

基板の絶縁表面上に半導体層を形成する工程と、  
前記半導体層上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極と、導電体とを形成する工程と、  
前記半導体層に n 型を付与する不純物元素を添加して n 型の不純物領域を形成する工程と、  
前記導電体の表面に電気メッキ法により、前記導電体よりも抵抗の低い被膜を形成することで電源供給線を形成する工程と、  
前記電源供給線を覆う絶縁膜を形成する工程と、  
前記絶縁膜上にゲート信号線を形成する工程と、  
を有する発光装置の作製方法。

【請求項 4 2】

請求項 4 0 において、前記ソース信号線は、Cu、Al、Au、Ag、またはこれらの合金を主成分とする材料からなることを特徴とする発光装置の作製方法。

【請求項 4 3】

請求項 4 1 において、前記電源供給線は、Cu、Al、Au、Ag、またはこ

これらの合金を主成分とする材料からなることを特徴とする発光装置の作製方法。

【請求項 44】

請求項 40 乃至請求項 43 のいずれか 1 項に記載の前記電気メッキ法を施す工程において、前記導電体は、同電位となるように配線でつながられていることを特徴とする発光装置の作製方法。

【請求項 45】

請求項 44 において、前記同電位となるようにつながられた配線は、前記被膜形成後にレーザー光で分断することを特徴とする発光装置の作製方法。

【請求項 46】

請求項 44 において、前記同電位となるようにつながられた配線は、メッキ処理後に前記基板と同時に分断することを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルに IC を実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】

発光素子は自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、発光素子を用いた発光装置は CRT や LCD に代わる表示装置として注目されている。

【0003】

発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる有機化合物を含む層 (以下、有機化合物層と記す) と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際

の発光（リン光）とがあるが、本発明の発光装置では、どちらの発光を用いても良い。

【 0 0 0 4 】

なお、本明細書では、陽極と陰極の間に設けられた全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【 0 0 0 5 】

また本明細書において、発光素子が発光することを、発光素子が駆動すると呼ぶ。また、本明細書中では、陽極、有機化合物層及び陰極で形成される素子を発光素子と呼ぶ。

【 0 0 0 6 】

近年、アクティブマトリクス型の発光装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【 0 0 0 7 】

アクティブマトリクス型の発光装置では、各画素に設けられた T F T によって発光素子に流れる電流が制御される。

【 0 0 0 8 】

【発明が解決しようとする課題】

従来、上記 T F T のゲート信号線の材料としてアルミニウムを用いて T F T を作製した場合、熱処理によってヒロックやウィスカー等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、T F T の動作不良や T F T 特性の低下を引き起こしていた。そこで、熱処理に耐え得る金属材料、代表的には高い融点を有している金属元素を用いた場合、画面サイズが大面積化すると配線抵抗が高くなる等の問題が発生し、消費電力の増大等を引き起こしていた。発光素子は消費電流が大きいので、特に 3 インチ以上のパネルだと、配線抵抗の影響

により画面の両端の輝度が異なったり、クロストークが現れたりした。

【 0 0 0 9 】

そこで、本発明は、大画面化しても低消費電力を実現した発光装置の構造およびその作製方法を提供することを課題としている。

【 0 0 1 0 】

【課題を解決するための手段】

本発明は、画素部のソース信号線または電源供給線の表面をメッキ処理して配線の低抵抗化を図るものである。なお、本発明において、画素部のソース信号線は、駆動回路部のソース信号線とは異なる工程で作製する。また、画素部の電源供給線は、基板上に引き回されている電源供給線とは異なる工程で作製する。また、端子においても同様にメッキ処理して低抵抗化を図る。

【 0 0 1 1 】

本発明においては、メッキ処理する前の配線をゲート電極と同じ材料で形成し、その配線の表面をメッキ処理してソース信号線または電源供給線を形成することが望ましい。また、メッキ処理する材料膜は、ゲート電極よりも電気抵抗が低いものを用いることが望ましい。従って、メッキ処理により画素部のソース信号線または電源供給線は低抵抗な配線となる。

【 0 0 1 2 】

本明細書で開示する発明は、  
ソース信号線と、発光素子と、T F Tとを有する発光装置であって、  
前記ソース信号線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、

前記ソース信号線に入力される信号によって前記T F Tのスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置である。

【 0 0 1 3 】

本明細書で開示する発明は、

電源供給線と、発光素子と、T F Tとを有する発光装置であって、

前記電源供給線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記

導電体を覆っている被膜とからなり、

前記 T F T のゲート電極に入力される信号によって前記 T F T のスイッチングが制御され、

前記 T F T がオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 1 4 】

本明細書で開示する発明は、

ソース信号線と、電源供給線と、発光素子と、 T F T とを有する発光装置であって、

前記ソース信号線は、第 1 の導電体と、前記第 1 の導電体よりも低い抵抗値を有し、かつ前記第 1 の導電体を覆っている第 1 の被膜とからなり、

前記電源供給線は、第 2 の導電体と、前記第 2 の導電体よりも低い抵抗値を有し、かつ前記第 2 の導電体を覆っている第 2 の被膜とからなり、

前記ソース信号線に入力される信号によって前記 T F T のスイッチングが制御され、

前記 T F T がオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 1 5 】

本明細書で開示する発明は、

ソース信号線と、発光素子と、 T F T と、端子とを有する発光装置であって、

前記ソース信号線は、第 1 の導電体と、前記第 1 の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第 1 の被膜とからなり、

前記端子は、第 3 の導電体と、前記第 3 の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第 3 の被膜とからなり、

前記ソース信号線に入力される信号によって前記 T F T のスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置である。

【 0 0 1 6 】

本明細書で開示する発明は、

電源供給線と、発光素子と、T F Tと、端子とを有する発光装置であって、  
前記電源供給線は、第2の導電体と、前記第2の導電体よりも低い抵抗値を有し、かつ前記第2の導電体を覆っている第2の被膜とからなり、  
前記端子は、第3の導電体と、前記第3の導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている第3の被膜とからなり、  
前記T F Tのゲート電極に入力される信号によって前記T F Tのスイッチングが制御され、  
前記T F Tがオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 1 7 】

本明細書で開示する発明は、  
ソース信号線、発光素子及び第1のT F Tを含む画素部と、第2のT F T及び第3のT F Tを含む駆動回路とを有する発光装置であって、  
前記ソース信号線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、  
前記ソース信号線に入力される信号によって前記第1のT F Tのスイッチングが制御されることで、前記発光素子の発光が制御されることを特徴とする発光装置である。

【 0 0 1 8 】

本明細書で開示する発明は、  
電源供給線、発光素子及び第1のT F Tを含む画素部と、第2のT F T及び第3のT F Tを含む駆動回路とを有する発光装置であって、  
前記電源供給線は、導電体と、前記導電体よりも低い抵抗値を有し、かつ前記導電体を覆っている被膜とからなり、  
前記第1のT F Tのゲート電極に入力される信号によって前記第1のT F Tのスイッチングが制御され、  
前記第1のT F Tがオンになると前記電源供給線の電位が前記発光素子の画素電極に与えられ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 1 9 】

本明細書で開示する発明は、  
基板の絶縁表面上に半導体層を形成する工程と、  
前記半導体層上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極と、導電体とを形成する工程と、  
前記半導体層に n 型を付与する不純物元素を添加して n 型の不純物領域を形成する工程と、

前記導電体の表面に電気メッキ法により、前記導電体よりも抵抗の低い被膜を形成することでソース信号線を形成する工程と、

前記ソース信号線を覆う絶縁膜を形成する工程と、  
前記絶縁膜上にゲート信号線を形成する工程と、  
を有する発光装置の作製方法である。

【 0 0 2 0 】

本明細書で開示する発明は、  
基板の絶縁表面上に半導体層を形成する工程と、  
前記半導体層上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極と、導電体とを形成する工程と、  
前記半導体層に n 型を付与する不純物元素を添加して n 型の不純物領域を形成する工程と、

前記導電体の表面に電気メッキ法により、前記導電体よりも抵抗の低い被膜を形成することで電源供給線を形成する工程と、

前記電源供給線を覆う絶縁膜を形成する工程と、  
前記絶縁膜上にゲート信号線を形成する工程と、  
を有する発光装置の作製方法である。

【 0 0 2 1 】

本発明は、前記被膜が電気メッキ法によって形成されていることを特徴としていても良い。

【 0 0 2 2 】

本発明は、前記被膜が、C u、A l、A u、A g、またはこれらの合金を主成分とすることを特徴としていても良い。

【 0 0 2 3 】

本発明は、前記導電体が、前記 T F T のゲート電極と同じ材料で形成されることを特徴としていても良い。

【 0 0 2 4 】

本発明は、前記第 1 の被膜、前記第 2 の被膜または前記第 3 の被膜が、電気メッキ法によって形成されていることを特徴としていても良い。

【 0 0 2 5 】

本発明は、前記被膜が印刷法により形成されたことを特徴としていても良い。

【 0 0 2 6 】

本発明は、前記第 1 の被膜、前記第 2 の被膜または前記第 3 の被膜が、C u、A l、A u、A g、またはこれらの合金を主成分とすることを特徴としていても良い。

【 0 0 2 7 】

本発明は、前記第 1 の導電体と、前記第 2 の導電体とが、同時に形成されていることを特徴としていても良い。

【 0 0 2 8 】

本発明は、前記第 1 の導電体と、前記第 3 の導電体とが、同時に形成されていることを特徴としていても良い。

【 0 0 2 9 】

本発明は、前記第 2 の導電体と、前記第 3 の導電体とが、同時に形成されていることを特徴としていても良い。

【 0 0 3 0 】

本発明は、前記第 1 の被膜、前記第 2 の被膜または前記第 3 の被膜が、前記 T F T のゲート電極と同じ材料で形成されることを特徴としていても良い。

【 0 0 3 1 】

本発明は、前記第 1 の被膜、前記第 2 の被膜または前記第 3 の被膜が印刷法により形成されたことを特徴としていても良い。

【 0 0 3 2 】

本発明は、前記第 1 の T F T、前記第 2 の T F T 及び前記第 3 の T F T が n チ

ャネル型TFTであることを特徴としていても良い。

【0033】

本発明は、前記第1のTFT、前記第2のTFT及び前記第3のTFTがpチャネル型TFTであることを特徴としていても良い。

【0034】

本発明は、前記第2のTFT及び前記第3のTFTでEEMOS回路またはEDMOS回路が形成されていることを特徴としていても良い。

【0035】

本発明は、前記第2のTFTがnチャネル型TFTであり、前記第3のTFTがpチャネル型TFTであることを特徴としていても良い。

【0036】

本発明は、前記第1のTFTが、テーパ部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴としていても良い。

【0037】

本発明は、前記第1のTFTは、複数のチャネル形成領域を有していることを特徴としていても良い。

【0038】

本発明は、前記第1のTFTが、3つのチャネル形成領域を有していることを特徴としていても良い。

【0039】

本発明は、前記第2及び第3のTFTが、テーパ部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴としていても良い。

【0040】

本発明は、前記第1、第2または第3のTFTの不純物領域における不純物濃度が、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としていても良い。

【 0 0 4 1 】

本発明は、前記発光装置とがエレクトロルミネッセンス表示装置、パーソナルコンピュータまたはデジタルビデオディスクプレーヤーであることを特徴としていても良い。

【 0 0 4 2 】

本発明は、前記電気メッキ法を施す工程において、前記導電体が同電位となるように配線でつながられていることを特徴としていても良い。

【 0 0 4 3 】

本発明は、前記同電位となるようにつながられた配線が、前記被膜形成後にレーザー光で分断することを特徴としていても良い。

【 0 0 4 4 】

本発明は、前記同電位となるようにつながられた配線がメッキ処理後に前記基板と同時に分断することを特徴としていても良い。

【 0 0 4 5 】

【発明の実施の形態】

本発明の実施の形態について、以下に説明する。

【 0 0 4 6 】

まず、基板上に下地絶縁膜を形成した後、所望の形状の半導体層を形成する。次いで、半導体層を覆う絶縁膜（ゲート絶縁膜を含む）を形成する。絶縁膜上に導電膜を形成し、該導電膜をエッチングすることで、ゲート電極と、画素部のソース信号線となる導電体、画素部の電源供給線となる導電体と、端子の電極となる導電体とを形成する。なお、本発明においては、先にゲート電極を形成した後、層間絶縁膜上にゲート信号線を形成する。

【 0 0 4 7 】

次いで、レジストマスクまたはゲート電極を用いて、半導体層に導電性を付与する不純物元素を添加して、半導体層中に不純物領域を形成する。なお不純物元素の半導体層への添加は、ゲート電極を形成する前に行っても良いし、ゲート電極を形成した後に行っても良い。また半導体層に不純物を添加した後に、再びゲート電極をエッチングしても良い。

## 【 0 0 4 8 】

次いで本発明では、各半導体層に添加した不純物元素の活性化を行った後、メッキ処理（電気メッキ法）を行い、画素部のソース信号線となる導電体の表面と、画素部の電源供給線となる導電体の表面と、端子となる導電体の電極の表面に金属膜（被膜）を形成する。

## 【 0 0 4 9 】

なお本明細書において、ソース信号線とは、メッキ処理前のソース信号線（導電体）とメッキ処理後のソース信号線とを両方含む。またメッキ処理後のソース信号線において、表面に形成された金属膜（被膜）をも含めてソース信号線と呼ぶ。電源供給線も同様に、メッキ処理前の電源供給線（導電体）とメッキ処理後の電源供給線とを両方含む。またメッキ処理後の電源供給線において、表面に形成された金属膜（被膜）をも含めて電源供給線と呼ぶ。端子についても同様に、メッキ処理前の端子（導電体）とメッキ処理後の端子とを両方含む。またメッキ処理後の端子において、表面に形成された金属膜（被膜）をも含めて端子と呼ぶ。

## 【 0 0 5 0 】

図 1 に、電気メッキ法により、画素部のソース信号線となる導電体の表面と、画素部の電源供給線となる導電体の表面と、端子となる導電体の表面に金属膜を形成する様子を示す。なお、図 1 において、簡略化のため画素部のソース信号線 1 0 4 は 3 本、電源供給線 1 0 5 は 3 本のみ示した。また、画素部のソース信号線 1 0 4 は互いに平行な帯状になっており、また、画素部の電源供給線 1 0 5 は互いに平行な帯状である。また端子 1 0 7 は簡略化のため 6 つのみ示した。

## 【 0 0 5 1 】

1 0 1 は画素部であり、メッキ処理前のソース信号線 1 0 4 と、メッキ処理前の電源供給線 1 0 5 とが設けられている。ソース信号線 1 0 4 と電源供給線 1 0 5 は、メッキ処理用電極 1 0 8 に接続されている。なお、メッキ処理前のソース信号線 1 0 4 と電源供給線 1 0 5 は、必ずしも同じメッキ処理用電極 1 0 8 に接続されている必要はなく、別個に設けたメッキ処理用電極に接続するようにしても良い。

## 【0052】

また端子部106には複数のメッキ処理前の端子107が形成されており、複数のメッキ処理前の端子107はメッキ処理用電極109に接続されている。

## 【0053】

本実施例では、ソース側駆動回路102とゲート側駆動回路103とを画素部101と同じ基板上に形成している。しかしソース側駆動回路102とゲート側駆動回路103は、必ずしも画素部101と同じ基板上に形成する必要はない。なお、図1においてソース側駆動回路102とゲート側駆動回路103は、電気メッキ法を行う前の状態にある。

## 【0054】

なお110は基板分断ラインであり、メッキ処理後に基板分断ラインで基板を切断したときに、ソース信号線104と、電源供給線105と、端子107とがメッキ処理用電極108、109と切り離される。

## 【0055】

電気メッキ法は、電気メッキ法により形成しようとする金属イオンを含む水溶液中に直流電流を流し、陰極面に金属膜を形成する方法である。メッキされる金属としては、前記ゲート電極より低抵抗な材料、例えば銅、銀、金、クロム、鉄、ニッケル、白金、またはこれらの合金などを用いることができる。銅は電気抵抗が非常に低いため本発明のソース信号線の表面を覆う金属膜に最適である。

## 【0056】

図1に示した表示用パネルを、めっきしようとする金属イオンを含む電解液に浸す。そして陽極にめっきしようとする金属または不溶性の金属を用い、メッキ処理用電極108、109と陽極との間に適当な電位差を与えることにより、ソース信号線104、電源供給線105及び端子107の表面に、陽イオンから還元されためっきしようとする金属が析出する。

## 【0057】

メッキ処理を施した後、層間絶縁膜を形成し、半導体層の不純物領域に接続される接続用の電極121と、ゲート信号線111を形成する。本発明において、ゲート信号線は層間絶縁膜に設けられたコンタクトホールを通じてゲート電極と

電氣的に接続されている。図 2 に、半導体層の不純物領域または電源供給線と、端子とを接続する配線（引き回し配線）1 2 1 と、ゲート信号線 1 1 1 を形成した後の、表示用パネルの上面図を示す。

## 【 0 0 5 8 】

また画素部のソース信号線 1 0 4 と、ソース側駆動回路 1 0 2 とが電氣的に接続されている。また電源供給線 1 0 5 と端子 1 0 7 とが電氣的に接続されている。また、ソース側駆動回路 1 0 2 と端子 1 0 7 とが電氣的に接続されている。

## 【 0 0 5 9 】

メッキ処理後、基板分断ライン 1 1 0 で基板を切断し、ソース信号線 1 0 4 と、電源供給線 1 0 5 と、端子 1 0 7 とをメッキ処理用電極 1 0 8、1 0 9 から切り離す。

## 【 0 0 6 0 】

また、電気メッキ法において形成される金属膜の膜厚は電流密度と時間とを制御することにより実施者が適宜設定することができる。

## 【 0 0 6 1 】

このように本発明では、画素部のソース信号線、画素部の電源供給線、端子を低抵抗な金属材料で覆ったため、画素部の面積が大面積化しても十分に高速駆動させることができる。

## 【 0 0 6 2 】

特に、電源供給線を低抵抗化することで、配線抵抗による電源供給線の電位降下を防ぎ、クロストークを防ぐことができる。

## 【 0 0 6 3 】

また、ここではゲート電極と同時に画素部のソース信号線、画素部の電源供給線、端子を作成した例を示したが、別々に形成してもよい。例えば、各半導体層に不純物元素を添加した後、ゲート電極を保護する絶縁膜を形成し、各半導体層に添加した不純物元素の活性化を行い、さらに絶縁膜上にフォトリソグラフィ工程により低抵抗な金属材料（代表的にはアルミニウム、銀、銅を主成分とする材料）からなる画素部のソース信号線と、画素部の電源供給線と、端子とを同時に形成してもよい。こうして得られた画素部のソース信号線、画素部の電源供給線

、端子とをメッキ処理する。また、マスク数を低減するために、印刷法により画素部のソース信号線、画素部の電源供給線を形成してもよい。

【0064】

また、本実施の形態では、画素部のソース信号線と、画素部の電源供給線と、端子とをすべてメッキ法によって低抵抗な金属材料で覆ったが、画素部のソース信号線または画素部の電源供給線のいずれか1つをメッキ法によって低抵抗な金属材料で覆っていてもよい。

【0065】

本発明によりアクティブマトリクス型の発光装置において、画素部の面積が大きくなり大画面化しても良好な表示を実現することができる。

【0066】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0067】

【実施例】

(実施例1)

本実施例では、同一基板上に画素部と、画素部の周辺に設ける駆動回路を構成するTFT（nチャネル型TFT及びpチャネル型TFTからなるCMOS回路）を同時に作製する方法について図3～図6を用いて説明する。

【0068】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板200を用いる。なお、基板200としては、透光性を有していれば特に限定されず、石英基板を用いてもよい。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0069】

次いで、基板200上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜201を形成する。本実施例では下地膜201として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構

造を用いても良い。下地膜 2 0 1 の一層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 2 0 1 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成する。本実施例では、膜厚 5 0 nm の酸化窒化シリコン膜 2 0 1 a (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ) を形成した。次いで、下地膜 2 0 1 の二層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$  及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 2 0 1 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例では、膜厚 1 0 0 nm の酸化窒化シリコン膜 2 0 1 b (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ) を形成した。

#### 【 0 0 7 0 】

次いで、下地膜上に半導体層 2 0 2 ~ 2 0 5 を形成する。半導体層 2 0 2 ~ 2 0 5 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜した後、公知の結晶化処理 (レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 2 0 2 ~ 2 0 5 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム合金などで形成すると良い。本実施例では、プラズマ CVD 法を用い、5 5 nm の非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化 (5 0 0 °C、1 時間) を行った後、熱結晶化 (5 5 0 °C、4 時間) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 2 0 2 ~ 2 0 5 を形成した。

#### 【 0 0 7 1 】

また、半導体層 2 0 2 ~ 2 0 5 を形成した後、エンハンスメント型とデプレッション型とを作り分けるために微量な不純物元素 (ボロンまたはリン) のドーピングを適宜行ってもよい。

## 【0072】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>(代表的には200～300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>(代表的には350～500mJ/cm<sup>2</sup>)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行えばよい。

## 【0073】

次いで、半導体層202～205を覆うゲート絶縁膜206を形成する。ゲート絶縁膜206はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

## 【0074】

次いで、図3(A)に示すように、ゲート絶縁膜206上に膜厚20～100nmの第1の導電膜207aと、膜厚100～400nmの第2の導電膜207bとを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N膜からなる第1の導電膜207aと、膜厚370nmのW膜からなる第2の導電膜207bを積層形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成

することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\ \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%または99.99%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim 20\ \mu\Omega\text{cm}$ を実現することができた。

## 【0075】

なお、本実施例では、第1の導電膜207aをTa<sub>2</sub>N<sub>5</sub>、第2の導電膜207bをWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

## 【0076】

次に、フォトリソグラフィ法を用いてレジストからなるマスク208を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とする

フッ素系ガス、または $O_2$ を適宜用いることができる。ここでは、松下電器産業（株）製のICPを用いたドライエッチング装置（Model E645-□ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は80.32nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

## 【0077】

この後、レジストからなるマスク208を除去せずに第2のエッチング条件に変え、エッチング用ガスに $CF_4$ と $Cl_2$ とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。 $CF_4$ と $Cl_2$ を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

## 【0078】

上記第1のエッチング処理では、レジストからなるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°とすればよい。

## 【0079】

こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層213～218（第1の導電層213a～218aと第2の

導電層213b~218b)を形成する(図3(B))。図示しないが、ゲート絶縁膜となる絶縁膜206のうち、第1の形状の導電層213~218で覆われない領域は10~20nm程度エッチングされ薄くなった領域が形成される。

#### 【0080】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図3(C))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15}/\text{cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層213~216がn型を付与する不純物元素に対するマスクとなり、自己整合的にn型の不純物領域(高濃度)218~221が形成される。不純物領域218~221には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

#### 【0081】

次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに $\text{SF}_6$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を24/12/24(sccm)とし、1.3Paの圧力でコイル型の電極に700WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを25秒行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は32.1nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は7.1であり、絶縁膜206であるSiONに対するエッチング速度は33.7nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.83である。このようにエッチングガス用ガスに $\text{SF}_6$ を用いた場合、絶縁膜206との選択比が高いため膜減りを抑えることができる。

#### 【0082】

この第2のエッチング処理により第2の導電層(W)のテーパ角は $70^\circ$ となった。この第2のエッチング処理により第2の導電層222b~227bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層222a~227aを形成する。また、第2のエッチング処理によりレジストからなるマスク208は、レジストからなるマスク209に形状が変形する(図2(A))。図示しないが、実際には、第1の導電層の幅は、第2のエッチング処理前に比べて約 $0.15\mu\text{m}$ 程度、即ち線幅全体で $0.3\mu\text{m}$ 程度後退する。また、ここでのチャネル長方向における第2の導電層の幅が実施の形態に示した第2の幅に相当する。

## 【0083】

また、上記第2のエッチング処理において、 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を $25/25/10(\text{sccm})$ とし、 $1\text{Pa}$ の圧力でコイル型の電極に $500\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも $20\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用いる場合のWに対するエッチング速度は $124.62\text{nm}/\text{min}$ 、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は $0.67\text{nm}/\text{min}$ であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。また、この場合、絶縁膜206のうち、第1の形状の導電層222~227で覆われない領域は $50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

## 【0084】

次いで、レジストからなるマスクを除去した後、第2のドーピング処理を行って図4(B)の状態を得る。ドーピングは第2の導電層222b~225bを不純物元素に対するマスクとして用い、第1の導電層222a~225aにおけるテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ 、加速電圧 $90\text{keV}$ 、イオン電流密度 $0.5\mu\text{A}/\text{cm}^2$ 、フォスフィン( $\text{PH}_3$ )5%水素希釈ガス、ガス流量 $30\text{sccm}$ にてプラズマ

ドーピングを行った。こうして、第1の導電層と重なる不純物領域（低濃度）228～231を自己整合的に形成する。この不純物領域228～231へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ であり、且つ、第1の導電層におけるテーパー部の膜厚に従って濃度勾配を有している。なお、第1の導電層のテーパー部と重なる半導体層において、第1の導電層におけるテーパー部の端部から内側に向かって不純物濃度（P濃度）が次第に低くなっている。即ち、この第2のドーピング処理により濃度分布が形成される。また、不純物領域（高濃度）218～221にも不純物元素がさらに添加され、不純物領域（高濃度）232～235を形成する。

#### 【0085】

なお、本実施例ではテーパー部の幅（チャンネル長方向の幅）は少なくとも0.5  $\mu\text{m}$ 以上であることが好ましく、1.5  $\mu\text{m} \sim 2 \mu\text{m}$ が限界である。従って、膜厚にも左右されるが濃度勾配を有する不純物領域（低濃度）のチャンネル長方向の幅も1.5  $\mu\text{m} \sim 2 \mu\text{m}$ が限界となる。また、ここでは、不純物領域（高濃度）と不純物領域（低濃度）とを別々なものとして図示しているが、実際は、明確な境界はなく、濃度勾配を有する領域が形成されている。また、同様にチャンネル形成領域と不純物領域（低濃度）との明確な境界もない。

#### 【0086】

次いで、後に画素部以外をマスク246で覆ったまま、第3のエッチング処理を行う。マスク246としては、金属板、ガラス板、セラミック板、セラミックガラス板を用いればよい。この第3のエッチング処理では、マスク246で重なっていない領域の第1の導電層のテーパー部を選択的にドライエッチングして、半導体層の不純物領域と重なる領域がなくなるようにする。第3のエッチング処理は、エッチングガスにWとの選択比が高い $\text{Cl}_3$ を用い、ICPエッチング装置を用いて行う。本実施例では、 $\text{Cl}_3$ のガス流量比を80（sccm）とし、1.2 Paの圧力でコイル型の電極に350 WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを30秒行った。基板側（試料ステージ）にも50 WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第3のエッチングにより、導電層236（第1の導電層236a、第2の

導電層 2 3 6 b)、導電層 2 3 7 (第 1 の導電層 2 3 7 a、第 2 の導電層 2 3 7 b)、導電層 2 3 8 (第 1 の導電層 2 3 8 a、第 2 の導電層 2 3 8 b)、導電層 2 3 9 (第 1 の導電層 2 3 9 a、第 2 の導電層 2 3 9 b) が形成される。なお、導電層 2 3 8 はソース信号線となり、導電層 2 3 9 は電源供給線となる。(図 4 (C))

## 【 0 0 8 7 】

本実施例では第 3 のエッチング処理を行う例を示したが、第 3 のエッチング処理を行う必要がなければ、特に行う必要はない。

## 【 0 0 8 8 】

次いで図 5 (A) に示すように、レジストからなるマスクを除去した後、新たにレジストからなるマスク 2 4 5 を形成して第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型 (n 型) とは逆の導電型 (p 型) を付与する不純物元素が添加された不純物領域 2 4 7 ~ 2 5 0 を形成する。導電層 2 2 3 および 2 3 7 を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

## 【 0 0 8 9 】

本実施例では、不純物領域 2 4 7 ~ 2 5 0 はジボラン ( $B_2H_6$ ) を用いたイオンドーブ法で形成する。ただし不純物領域 2 4 7 は不純物領域 2 4 7 a と 2 4 7 b とを含む。また、不純物領域 2 4 9 は不純物領域 2 4 9 a と 2 4 9 b とを含む。なお、この第 3 のドーピング処理の際には、n チャネル型 T F T を形成する半導体層はレジストからなるマスク 2 4 5 で覆われている。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 2 4 7 ~ 2 5 0 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度が  $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$  となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

## 【 0 0 9 0 】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を

行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1 p p m以下、好ましくは0. 1 p p m以下の窒素雰囲気中で4 0 0 ~ 7 0 0 ℃、代表的には5 0 0 ~ 5 5 0 ℃で行えばよく、本実施例では5 5 0 ℃、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（R T A 法）を適用することができる。

## 【 0 0 9 1 】

また、図示しないが、この活性化処理により不純物元素が拡散してn型の不純物領域（低濃度）と不純物領域（高濃度）との境界がほとんどなくなる。

## 【 0 0 9 2 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するT F Tはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

## 【 0 0 9 3 】

次いで、水素雰囲気中で熱処理を行って半導体層を水素化する。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を用いてもよい。

## 【 0 0 9 4 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやY A Gレーザー等のレーザー光を照射することが望ましい。

## 【 0 0 9 5 】

次いで、画素部のソース信号線となる導電層2 3 8の表面、画素部の電源供給線となる導電層2 3 9及び端子部（図示せず）の電極表面にメッキ処理を施す。図7（A）にメッキ処理行った直後の端子部の上面図を示し、図7（B）にその断面図を示す。図7中、4 0 0は端子部、4 0 1は端子を示している。また、図7は、簡略化のため、駆動回路部のT F T 3 0 3を一つ示し、画素部においては

ソース信号線 2 3 8 のみを示した。本実施例では、銅メッキ液（E E J A 製：ミクロファブ Cu 2 2 0 0）を用いてメッキ処理を行った。また、このメッキの際、実施の形態にその一例を示したように、メッキしようとする導電体は、互いに同電位となるようにダミーパターンで繋がれている。後の工程で基板の分断時に互いの電極間を分断して分離する。また、ダミーパターンでショートリングを形成してもよい。

【0 0 9 6】

次いで、画素のソース信号線を覆う第 1 の層間絶縁膜 2 5 5 を形成する。第 1 の層間絶縁膜 2 5 5 としてはシリコンを主成分とする無機絶縁膜を用いればよい。

【0 0 9 7】

次いで、第 1 の層間絶縁膜 2 5 5 上に有機絶縁物材料から成る第 2 の層間絶縁膜 2 5 6 を形成する。本実施例では膜厚 1. 6  $\mu$  m のアクリル樹脂膜を形成した。

【0 0 9 8】

次いで、第 2 の層間絶縁膜 2 5 6 上に透明導電膜からなる画素電極 2 4 7 をフォトマスクを用いてパターニングした。画素電極 2 4 7 とする透明導電膜は、例えば I T O（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、酸化亜鉛（Z n O）等を用いればよい。

【0 0 9 9】

次いで、フォトマスクを用いて第 2 の層間絶縁膜 2 5 6 を選択的にエッチングして、各不純物領域（2 3 2、2 3 4、2 4 7、2 4 9）に達するコンタクトホールと、画素部のソース信号線 2 3 8 に達するコンタクトホールと、電源供給線 2 3 9 に達するコンタクトホールを形成する。

【0 1 0 0】

次いで、不純物領域（2 3 2、2 3 4、2 4 7、2 4 9）と、ソース信号線 2 3 8 と、電源供給線 2 3 9 それぞれ電氣的に接続する電極 2 5 7 ~ 2 6 3 と、ゲート信号線 2 6 4 を形成する。

【0 1 0 1】

また、画素電極 2 4 7 は、画素電極 2 4 7 と接して重なる電極 2 6 2 によって、画素部の電流制御用 T F T 3 0 7 の不純物領域 2 4 9 a と電氣的に接続される。

【 0 1 0 2 】

また、不純物領域 2 3 4 は電極 2 6 0 を介してソース信号線 2 3 8 と電氣的に接続される。また、不純物領域 2 4 9 b は電極 2 6 3 を介して電源供給線 2 3 9 と電氣的に接続される。

【 0 1 0 3 】

また、本実施例では画素電極 2 4 7 を形成した後に電極 2 6 2 を形成した例を示したが、コンタクトホールを形成し、電極を形成した後、その電極と重なるように透明導電膜からなる画素電極を形成してもよい。

【 0 1 0 4 】

以上の様にして、nチャネル型 T F T 3 0 3 及び pチャネル型 T F T 3 0 4 からなる CMOS 回路 3 0 2 を含む駆動回路 3 0 1 と、nチャネル T F T からなるスイッチング用 T F T 3 0 6 及び pチャネル T F T からなる電流制御用 T F T 3 0 7 とを有する画素部 3 0 5 とを同一基板上に形成することができる（図 5（C））。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 1 0 5 】

次に、図 6 に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 5 0 0 [nm] の厚さに形成し、画素電極 2 4 7 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 2 6 4 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【 0 1 0 6 】

なお、本実施例においては、第 3 の層間絶縁膜 2 6 4 として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

## 【0107】

次に、有機化合物層265を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)266を形成する。このとき有機化合物層265及び陰極266を形成するに先立って画素電極247に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では発光素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

## 【0108】

なお、有機化合物層265としては、電場を加えることで発生するルミネッセンスが得られる公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機化合物層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

## 【0109】

本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1,3,4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

## 【0110】

さらにパッシベーション膜267を設けると良い。本実施例ではパッシベーション膜267として300nm厚の窒化珪素膜を設ける。このパッシベーション膜を大気解放しないで陰極266と連続的に形成しても構わない。パッシベーション膜267によって、有機化合物層265を水分や酸素から保護することがより可能になる

## 【0111】

なお、有機化合物層265の膜厚は10~400[nm] (典型的には60~150[nm])、陰極266の厚さは80~200[nm] (典型的には100~150[nm])とすれば良い。

## 【0112】

こうして図 6 (B) に示すような構造の発光装置が完成する。なお、本実施例における発光装置の作成工程においては、回路の構成及び工程の関係上、ゲート電極を形成している材料である T a、W によってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料である A 1 によってゲート信号線を形成しているが、異なる材料を用いても良い。

## 【 0 1 1 3 】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 8 に示す。なお、図 5、図 6 に対応する部分には同じ符号を用いている。図 8 の鎖線 A - A' は図 6 の鎖線 A - A' で切断した断面図に対応している。また、図 8 の鎖線 B - B' は図 6 の鎖線 B - B' で切断した断面図に対応している。

## 【 0 1 1 4 】

画素 3 3 1 はソース信号線 2 3 8 とゲート信号線 2 6 4 とを有している。電流制御用 T F T 3 0 7 のドレイン領域は、電極 2 6 2 を間に介して画素電極 2 4 7 に接続されている。そして、開口部 3 3 0 において画素電極 2 4 7 と有機化合物層とが重なっており、発光素子 3 0 8 が発光する。ゲート信号線 3 3 3 の一部は電流制御用 T F T 3 0 7 のゲート電極 2 3 7 を含んでいる。また 3 3 4 は半導体層からなる容量配線であり、容量配線 3 3 4 とゲート信号線 3 3 3 とがゲート絶縁膜を間に介して重なっている部分 3 3 2 がコンデンサである。

## 【 0 1 1 5 】

なお、遮蔽膜を用いることなく、画素電極間の隙間が遮光されるように、画素電極 2 4 7 の端部をソース信号線 2 3 8 と重なるように配置形成させても良い。

## 【 0 1 1 6 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を 5 枚とすることができた。

## 【 0 1 1 7 】

なお、実際には図 6 まで完成したら、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸

化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0118】

そしてアクティブマトリクス基板とカバー材とをシール材等で封止し、気密性を高める。そして基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0119】

次に、アクティブマトリクス基板を所望の形状に分断する。なおこの分断作業は、アクティブマトリクス基板とカバー材とをシール材等で封止する前でも後でも良い。この分断作業でメッキ処理のために設けられたダミーパターンを分断する。

【0120】

図9（A）に分断後の端子部の上面図を示し、点線D-D'で切断した断面図を図9（B）に示す。図9中、400は端子部、401は外部端子と接続される端子を示している。また、図9は、簡略化のため、駆動回路部のTFTを一つ示し、画素部においてはソース信号線238のみを示した。また、端子401は、ソース信号線238、電源供給線239と電気的に接続されている。端子部400においては、メッキ処理された端子401の一部が露呈し、ITOからなる透明導電膜404が形成されている状態となっている。なおこの透明導電膜404が、画素部の画素電極と同時に形成しても良い。

【0121】

そして、公知の技術を用いて端子の露呈している部分にFPCを貼りつけた。図9（C）にFPC405の接着後の断面図を示した。

【0122】

また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

【0123】

以上のようにして作製される発光装置は各種電子機器の表示部として用いることができる。

## 【0124】

## (実施例2)

実施例1では駆動回路にCMOS回路を作成した例を示したが、全てnチャネル型TFTを用いてNMOS回路を形成しても良い。なお、nチャネル型TFTを組み合わせてNMOS回路を形成する場合、図11(A)に示したようにエンハンスメント型TFT同士で形成する場合(以下、EEMOS回路という)と、図11(B)に示したようにエンハンスメント型とデプレッション型とを組み合わせて形成する場合(以下、EDMOS回路という)がある。また画素部に設けられたTFTを全てnチャネル型TFTで形成しても良い。ただしこの場合、画素電極は陰極であることが好ましい。図10に本実施例の発光装置の断面図を示す。なお図10では、画素電極547を形成した後、第3層間絶縁膜を成膜する前の状態を示している。

## 【0125】

501は駆動回路のTFTを示しており、505は画素部のTFTを示している。画素部505は、スイッチング用TFT506と、電流制御用TFT507とを有しており、共にnチャネル型TFTである。

## 【0126】

526はメッキ処理後のソース信号線であり、527はメッキ処理後の電源供給線である。ソース信号線526は電極561を介してスイッチング用TFT506の不純物領域551に電氣的に接続されている。また、電源供給線527は配線562を介して電流制御用TFT507の不純物領域545に電氣的に接続されている。

## 【0127】

また駆動回路501は、nチャネル型503と、nチャネル型504とを有するNMOS回路502を有している。

## 【0128】

nチャネル型TFT503、504は、チャネル形成領域となる半導体に周期表の15族に属する元素(好ましくはリン)もしくは周期表の13族に属する元素(好ましくはボロン)を添加することによりエンハンスメント型とデプレッシ

ョン型とを作り分けることができる。

【 0 1 2 9 】

エンハンスメント型とデプレッション型とを作り分けるには、チャンネル形成領域となる半導体に周期表の 1 5 族に属する元素（好ましくはリン）もしくは周期表の 1 3 族に属する元素（好ましくはボロン）を適宜、添加すればよい。

【 0 1 3 0 】

図 1 1 (A) において、3 1、3 2 はどちらもエンハンスメント型の n チャンネル型 TFT（以下、E 型 NTFT という）である。また、図 1 1 (B) において、3 3 は E 型 NTFT、3 4 はデプレッション型の n チャンネル型 TFT（以下、D 型 NTFT という）である。

【 0 1 3 1 】

なお、図 1 1 (A)、(B) において、VDH は正の電圧が印加される電源線（正電源線）であり、VDL は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【 0 1 3 2 】

さらに、図 1 1 (A) に示した EEMOS 回路もしくは図 1 1 (B) に示した EDMOS 回路を用いてシフトレジスタを作製した例を図 1 2 に示す。図 1 2 において、4 0、4 1 はフリップフロップ回路である。また、4 2、4 3 は E 型 NTFT であり、E 型 NTFT 4 2 のゲートにはクロック信号 (CL) が入力され、E 型 NTFT 4 3 のゲートには極性の反転したクロック信号 (CLバー) が入力される。また、4 4 で示される記号はインバータ回路であり、図 1 2 (B) に示すように、図 1 1 (A) に示した EEMOS 回路もしくは図 1 1 (B) に示した EDMOS 回路が用いられる。従って、表示装置の駆動回路を全て n チャンネル型 TFT で構成することも可能である。

【 0 1 3 3 】

表示面積が小型である表示装置において、n チャンネル型 TFT からなる NMOS 回路で駆動回路を形成した場合、CMOS 回路と比べて消費電力が大きくなってしまふ。しかし、本発明は、表示面積が大型である場合に特に有効なものであり、表示面積が大型である据え置き型のモニターまたはテレビにおいて消費電力

は問題にはならない。また、ゲート側の駆動回路を全てNMOS回路で形成する場合には問題ないが、ソース側の駆動回路に関しては全てNMOS回路で形成するよりも、一部を外付けのIC等で形成するほうが高速駆動可能となるため望ましい。

## 【0134】

なお、本実施例は実施例1と自由に組み合わせて実施することが可能である。

## 【0135】

## (実施例3)

本実施例では、画素部が有するソース信号線と、画素部が有する電源供給線と、端子とを、同じメッキ処理用電極に接続し、電気メッキ法を行う場合のダミーパターンについて述べる。

## 【0136】

図13に本実施例の発光装置の上面図を示す。なお、図13において、簡略化のため画素部のソース信号線604は3本、電源供給線605は3本のみ示した。また、画素部のソース信号線604は互いに平行な帯状になっており、また、画素部の電源供給線605は互いに平行な帯状である。また端子607は簡略化のため6つのみ示した。

## 【0137】

601は画素部であり、メッキ処理前のソース信号線604と、メッキ処理前の電源供給線605とが設けられている。また端子部606には複数のメッキ処理前の端子607が形成されている。

## 【0138】

ソース信号線604と、電源供給線605と、端子607は、全てメッキ処理用電極609に接続されている。

## 【0139】

本実施例では、ソース側駆動回路602とゲート側駆動回路603とを画素部601と同じ基板上に形成している。しかしソース側駆動回路602とゲート側駆動回路603は、必ずしも画素部601と同じ基板上に形成する必要はない。なお、図13においてソース側駆動回路602とゲート側駆動回路603は、電

気メッキ法を行う前の状態にある。

【0140】

なお610は基板分断ラインであり、メッキ処理後に基板分断ライン610で基板を切断したときに、ソース信号線604と、電源供給線605と、端子607とがメッキ処理用電極609と切り離される。

【0141】

メッキ処理を施した後、層間絶縁膜を形成し、半導体層の不純物領域または電源供給線と、端子とを接続する配線（引き回し配線）と、ゲート信号線と、を形成する。本発明において、ゲート信号線は層間絶縁膜に設けられたコンタクトホールを通じてゲート電極と電氣的に接続されている。図13において、612は引き回し配線であり、611はゲート信号線である。

【0142】

また画素部のソース信号線604と、ソース側駆動回路602とが配線により電氣的に接続されている。また電源供給線605と端子607とが引き回し配線612により電氣的に接続されている。また、ソース側駆動回路602と端子607とが引き回し配線612により電氣的に接続されている。

【0143】

メッキ処理後、基板分断ライン610で基板を切断し、ソース信号線604と、電源供給線605と、端子607とをメッキ処理用電極609と切り離す。

【0144】

このように本発明では、画素部のソース信号線、画素部の電源供給線、端子を低抵抗な金属材料で覆ったため、画素部の面積が大面積化しても十分に高速駆動させることができる。

【0145】

特に、電源供給線を低抵抗化することで、配線抵抗による電源供給線の電位降下を防ぎ、クロストークを防ぐことができる。

【0146】

(実施例4)

本実施例では、ソース信号線をゲート電極と同じ材料で形成し、電源供給線を

ゲート信号線と同じ材料で形成する例について説明する。

【0147】

図14に本実施例の画素の上面図を示す。本実施例において、ソース信号線703、ゲート信号線704、電源供給線705を有している領域が画素700に相当する。画素700はスイッチング用TFT701と、電流制御用TFT702とを有している。

【0148】

ゲート配線711は電流制御用TFT702のゲート電極712を含んでいる。

【0149】

ソース信号線703と、スイッチング用TFT701のゲート電極708と、電流制御用TFT702のゲート電極712及びゲート配線711とは同じ導電膜から形成されている。

【0150】

また電流制御用TFT702のドレイン領域は、電極709を間に介して画素電極706に接続されている。画素電極706上には第3の層間絶縁膜（図示せず）が形成されており、第3の層間絶縁膜上には有機化合物層（図示せず）が形成されている。画素電極706と有機化合物層は、第3の層間絶縁膜に設けられた開口部707を介して接している。

【0151】

電極709と、電源供給線705と、ゲート信号線704と、スイッチング用TFT701のソース領域とドレイン領域に直接接続された配線と、電流制御用TFT702のソース領域とドレイン領域に直接接続された配線とは、同じ導電膜から形成されている。

【0152】

ゲート配線711は電流制御用TFT702のゲート電極712を含んでいる。また710は半導体層からなる容量配線であり、容量配線710とゲート配線711とがゲート絶縁膜（図示せず）を間に介して重なっている部分713がコンデンサである。

【 0 1 5 3 】

なお、遮蔽膜を用いることなく、画素電極間の隙間が遮光されるように、画素電極 7 0 6 の端部をソース信号線 7 0 3 と重なるように配置形成させても良い。

【 0 1 5 4 】

本実施例は、実施例 3 と自由に組み合わせて実施することが可能である。

【 0 1 5 5 】

(実施例 5)

本実施例では、実施例 1 とは異なる工程でソース信号線または電源供給線を形成する例を図 1 5 に示す。

【 0 1 5 6 】

図 1 5 (A) は、画素部のソース信号線 9 0 3 または電源供給線 (図示せず) にメッキ処理を施した後、層間絶縁膜を形成し、層間絶縁膜にコンタクトホールを形成した後、端子部 9 0 0 のメッキを行う例である。

【 0 1 5 7 】

まず、TFT のゲート電極 9 0 2 と同一工程で端子 9 0 1 及びソース信号線 9 0 3 または電源供給線を形成する。まず、画素部のソース信号線 9 0 3 または電源供給線だけを選択的にメッキ処理を行う。その後、層間絶縁膜を形成し、コンタクトホールを形成する。このコンタクトホールを形成する際に端子部 9 0 0 の端子 9 0 1 の一部が露呈するようにする。次いで、端子部の端子 9 0 1 の露呈した領域のみをメッキ処理して被膜 9 0 4 を形成する。なお被膜 9 0 4 は端子 9 0 1 に含まれる。

【 0 1 5 8 】

その後、引き出し配線や半導体層の不純物領域に接続される電極を形成する。以降の工程は実施例 1 に従って図 1 5 (A) に示す構造を形成すればよい。

【 0 1 5 9 】

ただし、半導体層に含まれる不純物元素の活性化は被膜 9 0 4 の形成前に行うことが好ましい。

【 0 1 6 0 】

また、実施例 1 と同様に、メッキ処理の際、メッキ処理を施そうとする配線ま

たは電極は、同電位となるようにダミーパターンで繋がれている。後の工程で基板の分断時に互いの電極間を分断して分離する。また、これらのダミーパターンでショートリングを形成してもよい。

#### 【0161】

図15(B)は、図15(A)とは異なる工程でメッキを行う一例を示す。本実施例では、TFTのゲート電極912を形成すると同時にソース信号線913を形成しない例である。

#### 【0162】

ゲート電極912を保護する絶縁膜を形成した後、各半導体層に添加した不純物元素の活性化を行い、絶縁膜上にフォトリソグラフィ工程により低抵抗な金属材料（代表的にはアルミニウム、銀、銅を主成分とする材料）からなる画素部のソース信号線913と、端子911とを同時に形成する。このように本発明では画素部のソース信号線を低抵抗な金属材料で形成したため、画素部の面積が大面積化しても十分駆動させることができる。また、マスク数を低減するために、印刷法によりソース信号線を形成してもよい。

#### 【0163】

次いで、メッキ処理（電気メッキ法）を行い、画素部のソース信号線913の表面と、端子911の表面に金属膜を形成する。以降の工程は実施例1に従って図15(B)に示す構造を形成すればよい。

#### 【0164】

図15(C)は、図15(A)とは異なる工程でソース信号線の形成を行う一例を示す。

#### 【0165】

本実施例では、印刷法によりソース信号線を形成する。画素のソース信号線的位置精度を向上させるために導電層を設けた。

#### 【0166】

本実施例では、ゲート電極と同じ工程で、ソース信号線となる導電層915a、915bを形成した。次いで、ゲート電極を絶縁膜で覆うことなく不純物元素の活性化を行った。活性化としては、例えば、不活性雰囲気中、減圧下で熱アニ

ールを行うことによって、導電層の酸化による高抵抗化を抑えた。次いで、導電層の間を埋めるように、印刷法を用いてソース信号線を形成した。また、ソース信号線に沿って導電層を設けることによって印刷法（スクリーン印刷）で発生しやすい断線を防ぐことができる。以降の工程は実施例 1 に従って図 1 5（C）に示す構造を形成すればよい。

## 【 0 1 6 7 】

スクリーン印刷は、例えば金属粒子（A g、A l 等）を混ぜたペースト（希釈剤）またはインクを所望のパターンの開口を有する版をマスクとして、上記開口部からペーストを被印刷体である基板上に形成し、その後、熱焼成を行うことで所望のパターンの配線を形成するものである。このような印刷法は比較的安価であり、大面積に対応することが可能であるため本発明には適している。

## 【 0 1 6 8 】

また、スクリーン印刷法に代えて回転するドラムを用いる凸版印刷法、凹版印刷法、および各種オフセット印刷法を本発明に適用することは可能である。

## 【 0 1 6 9 】

以上のように様々な方法で画素部のソース信号線を形成することができる。

## 【 0 1 7 0 】

なお、本実施例は実施例 1 ～実施例 4 のいずれか一と自由に組み合わせることができる。

## 【 0 1 7 1 】

## （実施例 6）

本実施例では、実施例 1 に示したのとは異なる構成を有する発光装置の構成について、図 1 6 を用いて説明する。

## 【 0 1 7 2 】

駆動回路 9 2 1 において、p チャネル型 T F T 9 2 3 と、n チャネル型 T F T 9 2 4 が形成されており、C M O S 回路を形成している。

## 【 0 1 7 3 】

画素部 9 2 2 はスイッチング用 T F T 9 2 5 と、電流制御用 T F T 9 2 6 が形成されており、スイッチング用 T F T 9 2 5 のソース領域とドレイン領域は、一

方はソース信号線 9 2 3 に、もう一方は図示してはいないが電流制御用 T F T 9 2 6 のゲート電極に、電氣的に接続されている。

## 【 0 1 7 4 】

また電流制御用 T F T 9 2 6 のソース領域とドレイン領域は、一方は電源供給線（図示せず）に、もう一方は発光素子 9 2 8 が有する画素電極 9 2 9 に接続されている。

## 【 0 1 7 5 】

発光素子 9 2 8 は画素電極 9 2 9 と、画素電極 9 2 9 に接している有機化合物層 9 3 0 と、有機化合物層 9 3 0 に接している対向電極 9 3 1 とを有している。なお本実施例では、駆動回路 9 2 1 と画素部 9 2 2 とを覆って、対向電極 9 3 1 上に保護膜 9 3 2 が設けられている。

## 【 0 1 7 6 】

本実施例では、図 1 6 に示すように、画素電極 9 2 9 に対応する位置に開口部を有する第 3 の層間絶縁膜 9 3 4 を形成する。第 3 の層間絶縁膜 9 3 4 は絶縁性を有していて、バンクとして機能し、隣接する画素の有機化合物層を分離する役割を有している。本実施例ではレジストを用いて第 3 の層間絶縁膜 9 3 4 を形成する。

## 【 0 1 7 7 】

本実施例では、第 3 の層間絶縁膜 9 3 4 の厚さを 1  $\mu$  m 程度とし、開口部は画素電極 9 2 9 に近くなればなるほど広くなる、所謂逆テーパー状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、U V 光を照射して露光し、露光された部分を現像液で除去することによって形成される。

## 【 0 1 7 8 】

本実施例のように、第 3 の層間絶縁膜 9 3 4 を逆テーパー状にすることで、後の工程において有機化合物層を成膜した時に、隣り合う画素同士で有機化合物層が分断されるため、有機化合物層と、第 3 の層間絶縁膜 9 3 4 の熱膨張係数が異なっても、有機化合物層がひび割れたり、剥離したりするのを抑えることができる。

## 【 0 1 7 9 】

なお、本実施例においては、第 3 の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）、酸化珪素膜等を用いることもできる。第 3 の層間絶縁膜 9 3 4 は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

## 【 0 1 8 0 】

なお図 1 6 では示さなかったが、電源供給線もゲート電極と同じ層に形成し、メッキ処理を施すことによって、配線抵抗を低下させても良い。

## 【 0 1 8 1 】

## （実施例 7）

本実施例では、逆スタガ型の TFT を有する発光装置の構成について説明する。図 1 7 に本実施例の発光装置の断面図を示す。ただし図 1 7 では画素電極を形成した後に、第 3 の層間絶縁膜を形成する前の状態にある。

## 【 0 1 8 2 】

本実施例の発光装置では、駆動回路 9 4 0 は n チャネル型 TFT 9 4 2 と、p チャネル型 TFT 9 4 3 とを有しており、CMOS 回路を形成している。

## 【 0 1 8 3 】

また、画素部 9 4 1 はスイッチング用 TFT 9 4 4 と、電流制御用 TFT 9 4 5 とを有している。9 4 7 はソース信号線、9 4 8 は電源供給線 9 4 8、9 4 9 はゲート信号線である。

## 【 0 1 8 4 】

スイッチング用 TFT 9 4 4 のソース領域とドレイン領域は、一方はソース信号線 9 4 7 に、もう一方は図示してはいないが電流制御用 TFT 9 4 5 のゲート電極に接続されている。

## 【 0 1 8 5 】

電流制御用 TFT 9 4 5 のソース領域とドレイン領域は、一方は電源供給線 9 4 8 に、もう一方は画素電極 9 4 6 に電氣的に接続されている。

## 【 0 1 8 6 】

ゲート信号線 9 4 9 は第 2 の層間絶縁膜 9 5 0 上に形成されており、図示して

はないがスイッチング用TFT944のゲート電極と接続されている。

【0187】

ソース信号線947と電源供給線948は、TFTのゲート電極と同じ層に形成されており、メッキ処理を施すことによって、配線抵抗を低下させている。ただし本実施例ではメッキ処理（電気メッキ法）を行う前にゲート絶縁膜951を一部エッチングして除去することにより、画素部のソース信号線948の表面と、画素部の電源供給線の表面とを露出させ、その後に電気メッキ法により表面に金属膜を形成する。

【0188】

（実施例8）

本実施例では、実施例1とは異なる構成の発光装置について説明する。図18に本実施例の発光装置の画素部の断面図を示す。

【0189】

図18は、スイッチング用TFT830、コンデンサ831、電流制御用TFT832が形成されている様子を示している。これらの素子を形成する土台となる基板801は、ガラス基板または有機樹脂基板を採用する。有機樹脂材料はガラス材料と比較して軽量であり、発光装置自体の軽量化に有効に作用する。発光装置を作製する上で適用できるものとしてはポリイミド、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アラミドなどの有機樹脂材料を用いることができる。ガラス基板は無アルカリガラスと呼ばれる、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスを用いることが望ましい。ガラス基板の厚さは0.5～1.1mmのものが採用されるが、軽量化を目的とすると厚さは薄くする必要がある。また、さらに軽量化を図るには比重が2.37g/ccと小さいものを採用することが望ましい。

【0190】

基板801上には、基板からの不純物拡散の防止と、応力制御を目的とした第1絶縁膜802を形成する。これは珪素を成分とする絶縁膜で形成する。例えば、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される窒化酸化珪

素膜を20～100nmの厚さで形成する。組成は窒素濃度20～30原子%、酸素濃度20～30原子%とし、引張り応力を持たせる。好ましくは、その上層に、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される窒化酸化珪素膜からなる絶縁膜をもう一層形成する。この膜の組成は、窒素濃度1～20原子%、酸素濃度55～65原子%とし、窒素濃度を減らして内部応力を小さくする。

## 【0191】

半導体膜803、804は結晶構造を有する珪素膜で形成する。代表的な一例は、プラズマCVD法で作製された非晶質珪素膜をレーザー光の照射によって、或いは加熱処理によって形成された半導体膜である。その厚さは20～60nmとし、上層にはゲート絶縁膜とする第2絶縁膜805、ゲート電極806、807を形成する。ゲート電極807はコンデンサ831の一方の電極と繋がっている。

## 【0192】

ゲート電極の上層には $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ から作製される窒化珪素または、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化珪素からなる第3絶縁層808が形成され保護膜として用いている。さらに平坦化膜として、ポリイミドまたはアクリルなど有機樹脂材料から成る第4絶縁膜809を形成が形成されている。

## 【0193】

有機樹脂材料で形成される第4絶縁膜上には、窒化珪素などの無機絶縁材料から成る第5絶縁膜810を形成している。有機樹脂材料は吸湿性があり、水分を吸蔵する性質を持っている。その水分が再放出されると有機化合物に酸素を供給し、発光素子を劣化させる原因となるので、水分の吸蔵及び再放出を防ぐために、第4絶縁膜809の上に $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ から作製される窒化珪素、または $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化珪素からなる第5絶縁膜810を形成している。或いは、第4絶縁膜809を省略して、第5絶縁膜810の一層のみで代用することも可能である。

## 【0194】

その後、それぞれの半導体膜のソースまたはドレイン領域に達するコンタクトホールを形成し、ITO（酸化インジウム・スズ）又は酸化亜鉛などの透明導電

膜を110nmの厚さにスパッタ法で形成した後、所定の形状（図8で示すような形状）にエッチングして発光素子833の一方の電極である陽極811を形成する。

## 【0195】

電極812～815はチタンとアルミニウムの積層構造とし、合計300～500nmの厚さで形成し、半導体膜とコンタクトを形成する。また、電極815は陽極811と一部が重なるように形成する。

## 【0196】

830はソース信号線であり、電極812を介して半導体層803の有する不純物領域831に接続されている。そしてソース信号線830の表面は、メッキ処理により低抵抗化されている。

## 【0197】

これらの電極上に形成する絶縁膜816～819は窒化珪素などで形成する。そして、その端部は電極の外側に位置するように形成する。このような構造は、電極を形成する導電膜の層と、絶縁膜とを積層形成し、レジスト820～823のパターンに従ってその両者をエッチングする。その後、そのレジストパターンをそのまま残して、導電膜のみをエッチングすることにより、図18に示すような底を形成することができる。従って、絶縁膜816～819は絶縁膜に限定される必要は必ずしもなく、配線を形成する導電膜とエッチングの選択比がとれる材料であるならば、他の材料を適用することも可能である。

## 【0198】

有機化合物層824、陰極825は蒸着法で形成するので、ここで形成される底がマスクとなって、陽極811上に有機化合物層824、陰極825を自己整合的に形成することができる。レジスト820～823は絶縁膜816～819上にそのまま残しておいても良いし、或いは、除去しても良い。

## 【0199】

有機化合物層824や陰極825はウエット処理（薬液によるエッチングや水洗などの処理）を行うことができないので、陽極811に合わせて絶縁材料から成る隔壁層を設けて隣接する素子の絶縁分離をする必要があつたが、本実施例の

画素構造を用いれば、配線とその上の絶縁膜をもって隔壁層の機能を代用することができる。

#### 【0200】

このように、発光素子833は、ITOなどの透明導電性材料で形成する陽極811、正孔注入層、正孔輸送層、発光層などを有する有機化合物層824、MgAgやLiFなどのアルカリ金属またはアルカリ土類金属などの材料を用いて形成する陰極825とから成っている。

#### 【0201】

このように、発光素子は周辺に形成する部材から応力を受けることがない。そのため、熱応力などにより発光素子が劣化することを防止できる。よって、より信頼性の高い発光装置を作製することができる。

#### 【0202】

##### (実施例9)

本実施例では、実施例8において、図18を用いて説明した発光素子の他の構造を図19により説明する。陽極621を形成した後に第7絶縁膜を形成する。この絶縁膜は酸化珪素や窒化珪素などで形成する。その後、陽極621上の第7絶縁膜をエッチングにより除去するが、このとき図19に示すように陽極621の端部が第7絶縁膜と重なるようにする。こうしてパターン形成された第7絶縁膜640が形成される。

#### 【0203】

以降の工程は同様であり、接続電極625、絶縁膜629などを形成する。有機化合物層634、陰極635は図19のように形成され、第7絶縁膜640を設けることにより陰極635と陽極621とが端部で接触して短絡することを防止できる。

#### 【0204】

本実施例で示す画素構造によって、熱応力による発光素子の劣化を防ぐことが可能であり、より信頼性の高い発光装置を作製することができる。

#### 【0205】

##### (実施例10)

本実施例では、基板上の引き回し配線と、端子との接続の様子について説明する。

#### 【0206】

端子部においては、図20(A)に示すように、ゲート電極と同じ材料で端子681が形成されている。端子681はメッキ処理により低抵抗化されている。

#### 【0207】

その上層に形成される第3絶縁膜658、第4絶縁膜659、第5絶縁膜660は、コンタクトホールをエッチングするときに同時に除去され、その表面を露出させることができる。端子681には透明導電膜682を積層させておくと、FPCとの接続を形成できる。

#### 【0208】

発光素子の対向電極は共通電極となるので、画素部の外側で連結させる。そして、外部から電位を制御できるように、基板上の引き回し配線を介して端子に接続させる。図20(B)は引き回し配線と対向電極の接続構造の一例を示している。

#### 【0209】

引き回し配線684は第4絶縁膜659に接しており、ゲート信号線と同じ層に形成されている。その上層に形成される第5絶縁膜660は、コンタクトホールをエッチングするときに同時に除去され、その表面を露出させている。

#### 【0210】

第5絶縁膜660上に画素電極661が形成されており、画素電極661に接して有機化合物層674が形成されている。そして有機化合物層と引き回し配線683とを覆って対抗電極675が形成されており、引き回し配線683と対抗電極675はコンタクトを取っている。ただし、対向電極675と画素電極661は接していない。

#### 【0211】

引き回し配線684は、第3絶縁膜658及び第4絶縁膜659に形成されたコンタクトホールを介して端子681に接続されている。

#### 【0212】

有機化合物層 6 7 4 は蒸着法で形成するが、そのままでは基板の全面に形成されてしまうため、メタルマスクまたはセラミックマスクなどシャドーマスクを用いて、画素部の領域に合わせて形成する。陰極 6 7 5 も同様であるが、マスクのサイズを変更して、画素部の外側の領域まで形成されるようにする。このような処置により図 2 0 (B) で示す構造を得ることができる。

## 【 0 2 1 3 】

## (実施例 1 1)

図 2 1 は発光装置の外観を示す図であり、基板 7 2 1 に画素部 7 2 2、ゲート側駆動回路 7 2 4、ソース側駆動回路 7 2 3、端子 7 2 6 が形成された状態を示している。端子 7 2 6 と各駆動回路は引き回し配線 7 2 5 で接続されている。画素部 7 2 2 には、映像信号を入力する信号線が延びる方向に隔壁層を兼ねた配線 7 2 8 が形成されている。これらの配線 7 2 8 は、ソース信号線や電源供給線などが含まれるが、ここではその詳細を省略している。配線 7 2 8 のうち、電源供給線は引き回し配線 7 3 3 によって端子 7 2 6 に接続されている。

## 【 0 2 1 4 】

また、引き回し配線 7 2 7 は対向電極と端子とを接続するための配線であり、その接続方法については実施例 1 0 において既に述べた通りである。

## 【 0 2 1 5 】

また、必要に応じて CPU、メモリーなどを形成した IC チップが COG (Chip on Glass) 法などにより素子基板に実装されていても良い。

## 【 0 2 1 6 】

発光素子は配線 7 2 8 の間に形成され、その構造は図 2 2 に示されている。画素電極 7 3 0 は各画素に対応する電極であり、配線 7 2 8 の間に形成されている。その上層には有機化合物層 7 3 1 が配線 7 2 8 の間に形成され、複数の画素電極 7 3 0 に渡ってストライプ状に連続的に形成されている。

## 【 0 2 1 7 】

対向電極 7 3 2 は、有機化合物層 7 3 1 の上層に形成され、同様に配線 7 2 8 の間にストライプ状に形成されている。さらに対向電極 7 3 2 は、配線 7 2 8 で挟まれない領域、即ち画素部 7 2 2 の外側の領域において接続されている。接続

部は、対向電極の一方の端部または、その両端に形成されていても良い。

#### 【 0 2 1 8 】

引き回し配線 7 2 7 はゲート信号線（図示せず）と同じ層に形成されており、配線 7 2 8 とは直接接触していない。そして引き回し配線 7 2 7 と対向電極 7 3 2 は重なっている部分においてコンタクトを取っている。

#### 【 0 2 1 9 】

発光素子は、画素電極 7 3 0、有機化合物層 7 3 1、対向電極 7 3 2 が重なる領域によって定義される。画素電極 7 3 2 はアクティブマトリクス型の発光装置において、個々に能動素子と接続されている。対向電極に欠陥が有り、仮に画素部の内側で欠陥があると、線欠陥として認識されてしまう可能性があるが、図 2 2 で示すように対向電極の両端を接続し、共通電極とする構造は、そのような線欠陥が発生する確率を低減させることを可能としている。

#### 【 0 2 2 0 】

##### （実施例 1 2）

本実施例では、実施例 1 における熱処理として、P P T A (Plural Pulse Thermal Annealing) を用いた例を示す。

#### 【 0 2 2 1 】

P P T A とは、光源（ハロゲンランプ、メタルハライドランプ、高圧水銀ランプ、高圧ナトリウムランプ、キセノンランプ等）による加熱と、処理室内への冷媒（窒素、ヘリウム、アルゴン、クリプトン、キセノン等）の循環による冷却のサイクルを複数回繰り返す熱処理である。光源の一回あたりの発光時間は 0. 1 ～ 6 0 秒、好ましくは 0. 1 ～ 2 0 秒であり、光を複数回照射する。なお、光源はその電源と制御回路により、半導体膜の保持期間が 0. 5 ～ 5 秒となるようにパルス状に点灯させる。

#### 【 0 2 2 2 】

P P T A により、実際の加熱時間を短縮して半導体膜に選択的に吸収される光を片面側または両面側に設けられた光源から照射することにより、基板自体はそれほど加熱されることなく、半導体膜のみを選択的に加熱（昇温速度 1 0 0 ～ 2 0 0 ℃ / 秒）する。また、基板の温度上昇を抑えるために冷媒で周囲から冷却（

降温速度 5 0 ~ 1 5 0 ° C / 秒) する。

【 0 2 2 3 】

実施例 1 における熱処理のうち、活性化に用いた例を以下に示す。

【 0 2 2 4 】

図 5 (A) に示す活性化工程において、PPTA を行う。パルス光はタングステンハロゲンランプを光源として基板の片面側または両面側から照射する。このとき、タングステンハロゲンランプの点滅に同期して He の流量を増減させ、半導体膜を選択的に加熱する。

【 0 2 2 5 】

この PPTA により不純物元素が活性化するとともに、半導体層に含まれる結晶化に用いた金属元素をチャネル形成領域から不純物領域にゲッタリングすることができる。なお、不純物領域には、リンだけでなく、p 型を付与する不純物元素が添加されているとより効果的である。従って、第 1 のドーピングの後、p 型を付与するボロンを添加する工程を追加することが好ましい。また、PPTA の処理室を 1 3 . 3 Pa 以下の減圧状態として、酸化や汚染を防止してもよい。

【 0 2 2 6 】

なお、本実施例は実施例 1 乃至 1 1 のいずれか一と自由に組み合わせることができる。

【 0 2 2 7 】

(実施例 1 3)

本実施例では、本発明の発光装置の駆動回路に含まれる、ソース側駆動回路、ゲート側駆動回路の詳しい構成について説明する。

【 0 2 2 8 】

図 2 3 に本実施例の発光装置の駆動回路のブロック図を示す。図 2 3 (A) はソース側駆動回路 6 0 0 1 であり、シフトレジスタ 6 0 0 2、ラッチ (A) 6 0 0 3、ラッチ (B) 6 0 0 4 を有している。

【 0 2 2 9 】

ソース側駆動回路 6 0 0 1 において、シフトレジスタ 6 0 0 2 にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 6 0 0

2は、これらのクロック信号（CLK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次入力する。

#### 【0230】

シフトレジスタ6002からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいため、生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

#### 【0231】

バッファによって緩衝増幅されたタイミング信号は、ラッチ（A）6003に入力される。ラッチ（A）6003は、nビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ（A）6003は、前記タイミング信号が入力されると、ソース側駆動回路6001の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

#### 【0232】

なお、ラッチ（A）6003にデジタルビデオ信号を取り込む際に、ラッチ（A）6003が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ（A）6003が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

#### 【0233】

ラッチ（A）6003の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

#### 【0234】

1ライン期間が終了すると、ラッチ（B）6004にラッチシグナル（Latch

Signal) が入力される。この瞬間、ラッチ (A) 6 0 0 3 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 6 0 0 4 に一齐に送出され、ラッチ (B) 6 0 0 4 の全ステージのラッチに書き込まれ、保持される。

【0 2 3 5】

デジタルビデオ信号をラッチ (B) 6 0 0 4 に送出し終えたラッチ (A) 6 0 0 3 には、シフトレジスタ 6 0 0 2 からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0 2 3 6】

この 2 順目の 1 ライン期間中には、ラッチ (B) 6 0 0 3 に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0 2 3 7】

図 2 3 (B) はゲート側駆動回路の構成を示すブロック図である。

【0 2 3 8】

ゲート側駆動回路 6 0 0 5 は、それぞれシフトレジスタ 6 0 0 6、バッファ 6 0 0 7 を有している。また場合によってはレベルシフトを有していても良い。

【0 2 3 9】

ゲート側駆動回路 6 0 0 5 において、シフトレジスタ 6 0 0 6 からのタイミング信号がバッファ 6 0 0 7 に入力され、対応するゲート信号線に入力される。ゲート信号線には、1 ライン分の画素のスイッチング用 TFT のゲート電極が接続されている。そして、1 ライン分の画素のスイッチング用 TFT を一齐に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0 2 4 0】

本実施例は実施例 1 ~ 1 2 と自由に組み合わせて実施することが可能である。

【0 2 4 1】

(実施例 1 4)

本発明において、三重項励起子からの燐光を発光に利用できる有機化合物材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0242】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

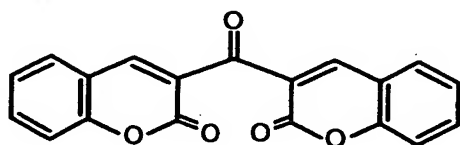
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0243】

上記の論文により報告された有機化合物材料（クマリン色素）の分子式を以下に示す。

【0244】

【化1】



【0245】

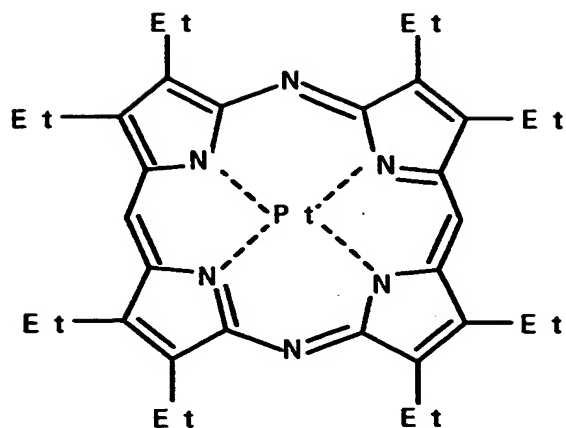
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0246】

上記の論文により報告された有機化合物材料（Pt 錯体）の分子式を以下に示す。

【0247】

【化2】



【0248】

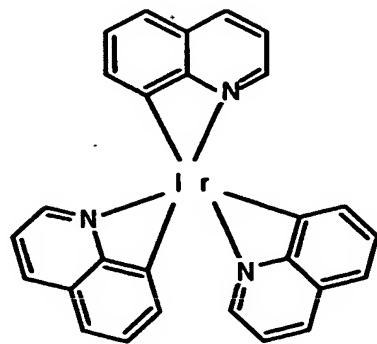
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0249】

上記の論文により報告された有機化合物材料 (Ir 錯体) の分子式を以下に示す。

【0250】

【化3】



【 0 2 5 1 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ～ 4 倍の高い外部発光量子効率の実現が可能となる。

【 0 2 5 2 】

なお、本実施例の構成は、実施例 1 ～ 実施例 1 3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 5 3 】

(実施例 1 5)

本実施例では、ソース信号線または電源供給線を低抵抗の材料を用い、かつ印刷法により形成する例について説明する。

【 0 2 5 4 】

図 2 5 に本実施例の発光装置の断面図を示す。発光装置は駆動回路 4 5 0 と画素部 4 5 1 とを有し、画素部 4 5 1 はスイッチング用 T F T 4 5 2 と、電流制御用 T F T 4 5 3 とを有している。

【 0 2 5 5 】

本実施例においては、ソース信号線 4 5 8 と電源供給線 4 6 2 のいずれか一方または両方を、印刷法を用いて形成する。本実施例ではスクリーン印刷法を用いて形成するが、回転するドラムを用いる凸版印刷法、凹版印刷法、および各種オフセット印刷法を本発明に適用することは可能である。このような印刷法は比較的安価であり、大面積に対応することが可能であるため本発明には適している。

【 0 2 5 6 】

本実施例ではソース信号線 4 5 8 と電源供給線 4 6 2 を、C u を用いて形成した。なお印刷法で形成する配線の材料は、パターンニングにより形成する配線または電極に比べて低抵抗であることが望ましい。

【 0 2 5 7 】

次に、第 2 の層間絶縁膜 4 7 2 上に透明導電膜からなる画素電極 4 6 1 を形成した。

【 0 2 5 8 】

そして、ゲート絶縁膜 4 7 0、第 1 の層間絶縁膜 4 7 1 及び第 2 の層間絶縁膜 4 7 2 をエッチングすることで、スイッチング用 TFT 4 5 2 の不純物領域 4 5 4 と、電流制御用 TFT 4 5 3 の不純物領域 4 5 6、4 5 7 に達するコンタクトホールを形成する。

## 【 0 2 5 9 】

そして、第 2 の層間絶縁膜 4 7 2 上に導電膜を形成し、パターニングすることで、電極 4 5 9、4 6 0 および 4 7 3 を形成した。電極 4 5 9 はソース信号線 4 5 8 の全面または一部を覆っており、コンタクトを取っている。なお本実施例では電極 4 5 9 はソース信号線 4 5 8 の全面を覆っており、この構成により、有機化合物層 4 6 3 中にソース信号線 4 5 8 の材料が入り込むのを防ぐことができ、印刷法（スクリーン印刷）で発生しやすい断線を防ぐことができる。なお本実施例において電極 4 5 9、4 6 0 および 4 7 3 は、印刷法により形成されたソース信号線 4 5 8 と電源供給線 4 6 2 よりもパターニングの精度が良い材料で形成されている。本実施例では Ti / Al / Ti の積層膜で形成した。

## 【 0 2 6 0 】

さらに電極 4 5 9 はスイッチング用 TFT 4 5 2 の不純物領域 4 5 4 に接続されている。また、電極 4 6 0 は画素電極 4 6 1 と接続されており、電流制御用 TFT 4 5 3 の不純物領域 4 5 6 と画素電極 4 6 1 とを電氣的に接続している。

## 【 0 2 6 1 】

また電極 4 7 3 は電源供給線 4 6 2 の全面または一部を覆っており、コンタクトを取っている。なお本実施例では電極 4 6 2 は電源供給線 4 6 2 の全面を覆っており、この構成により、有機化合物層 4 6 3 中に電源供給線 4 6 2 の材料が入り込むのを防ぐことができる。

## 【 0 2 6 2 】

そして、電極 4 5 9、4 6 0 および 4 7 3 と、画素電極 4 6 1 とを覆って、第 2 の層間絶縁膜 4 7 2 上に有機化合物層 4 6 3 を形成した。そしてその上に、対向電極 4 6 6 をメタルマスクを用いて形成した。なお画素電極 4 6 1 と、有機化合物層 4 6 3 と、対向電極 4 6 6 とが重なる部分が発光素子 4 6 7 に相当する。

## 【 0 2 6 3 】

以上のように様々な方法で画素部のソース信号線または電源供給線を形成することができる。ソース信号線または電源供給線を低抵抗化することで、画面サイズが大きく、なおかつ画質の良い発光装置が実現可能になる。

【 0 2 6 4 】

なお、本実施例の構成は、実施例 1 ～実施例 1 3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 6 5 】

(実施例 1 6)

発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【 0 2 6 6 】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 2 4 に示す。

【 0 2 6 7 】

図 2 4 （A）はエレクトロルミネッセンス表示装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明の発光装置は表示部 2 0 0 3 に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、エレクトロルミネッセンス表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 2 6 8 】

図 2 4 (B) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の発光装置は表示部 2 2 0 3 に用いることができる。

#### 【 0 2 6 9 】

図 2 4 (C) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカ部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

#### 【 0 2 7 0 】

なお、将来的に有機化合物材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

#### 【 0 2 7 1 】

また、上記電子機器はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機化合物材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

#### 【 0 2 7 2 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

#### 【 0 2 7 3 】

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用い

ることが可能である。また、本実施例の電子機器は実施例 1 ～ 1 5 に示したいずれの構成の発光装置を用いても良い。

【 0 2 7 4 】

【発明の効果】

本発明によりアクティブマトリクス型の発光装置に代表される発光装置において、画素部の面積が大きくなり大画面化しても良好な表示を実現することができる。画素部のソース信号線の抵抗を大幅に低下させたため、例えば、対角 4 0 インチや対角 5 0 インチの大画面にも本発明は対応しうる。

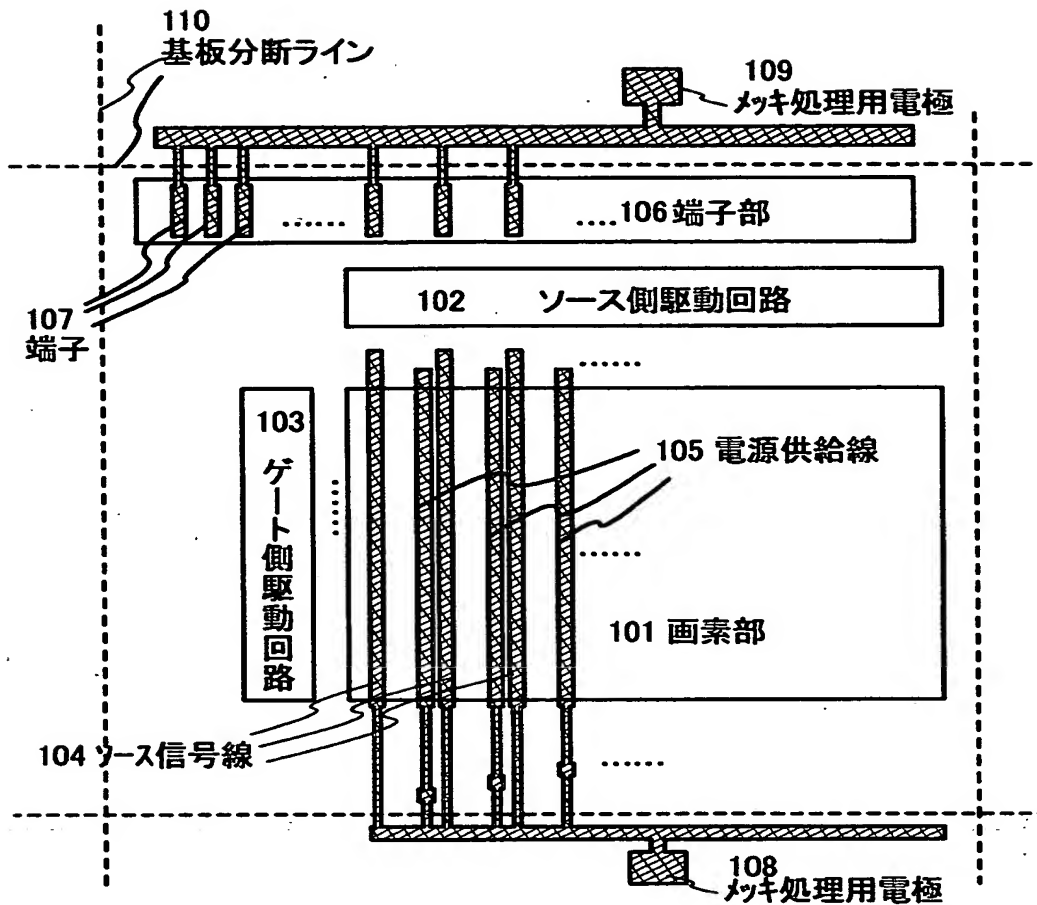
【図面の簡単な説明】

- 【図 1】      メッキ処理時における発光装置上面図。
- 【図 2】      メッキ処理後における発光装置上面図。
- 【図 3】      本発明の発光装置の作製工程を示す図。
- 【図 4】      本発明の発光装置の作製工程を示す図。
- 【図 5】      本発明の発光装置の作製工程を示す図。
- 【図 6】      本発明の発光装置の作製工程を示す図。
- 【図 7】      端子部を示す図。
- 【図 8】      画素上面図。
- 【図 9】      端子部を示す図。
- 【図 1 0】    発光装置の断面図。
- 【図 1 1】    NMOS 回路の構成を示す図。
- 【図 1 2】    シフトレジスタの構成を示す図。
- 【図 1 3】    メッキ処理後における発光装置上面図。
- 【図 1 4】    画素上面図。
- 【図 1 5】    端子部を示す図。
- 【図 1 6】    発光装置の断面図。
- 【図 1 7】    発光装置の断面図。
- 【図 1 8】    発光装置の断面図。
- 【図 1 9】    発光素子断面図。
- 【図 2 0】    端子及び対向電極と引き回し配線との接続の断面図。

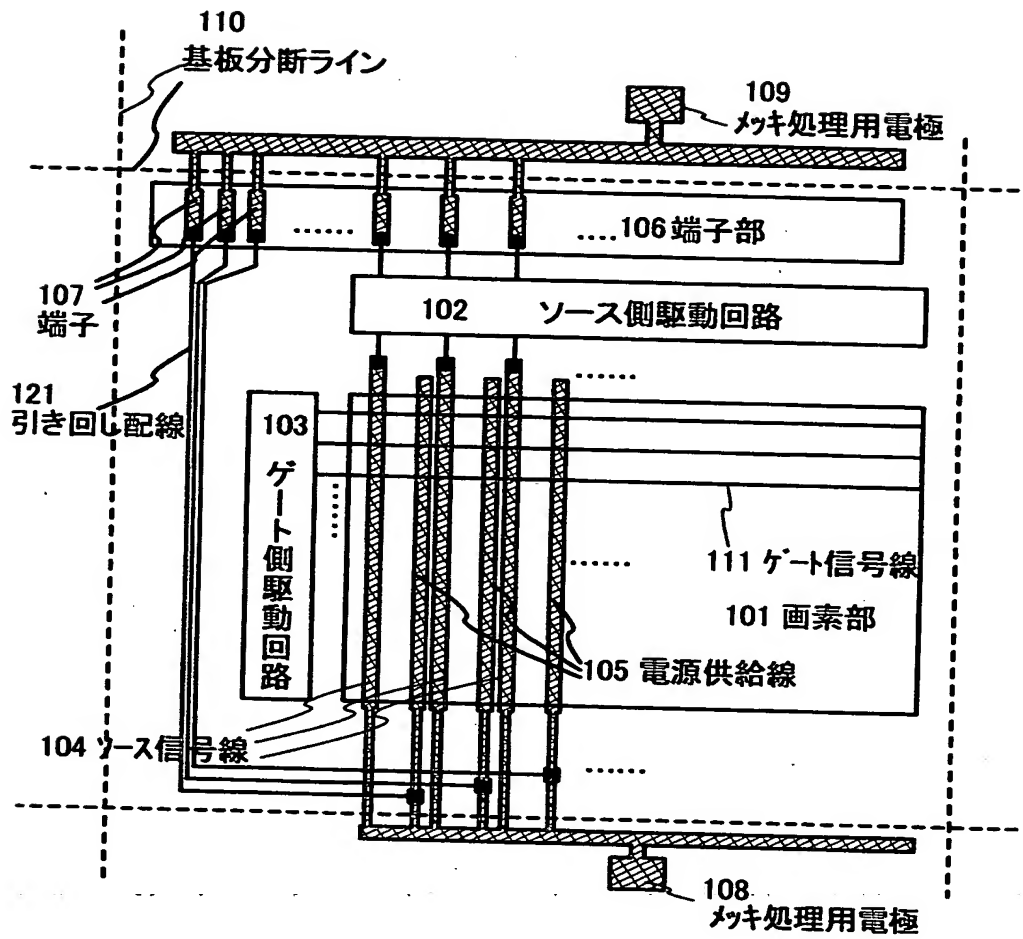
- 【図 2 1】 発光装置の上面図。
- 【図 2 2】 発光装置の画素部上面図。
- 【図 2 3】 駆動回路ブロック図。
- 【図 2 4】 電子機器の図。
- 【図 2 5】 発光装置の断面図。

【書類名】 図面

【図 1】

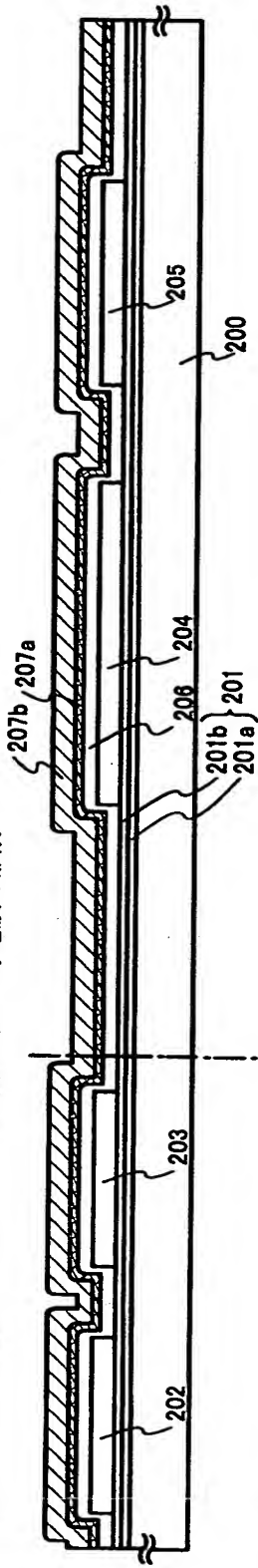


【図2】

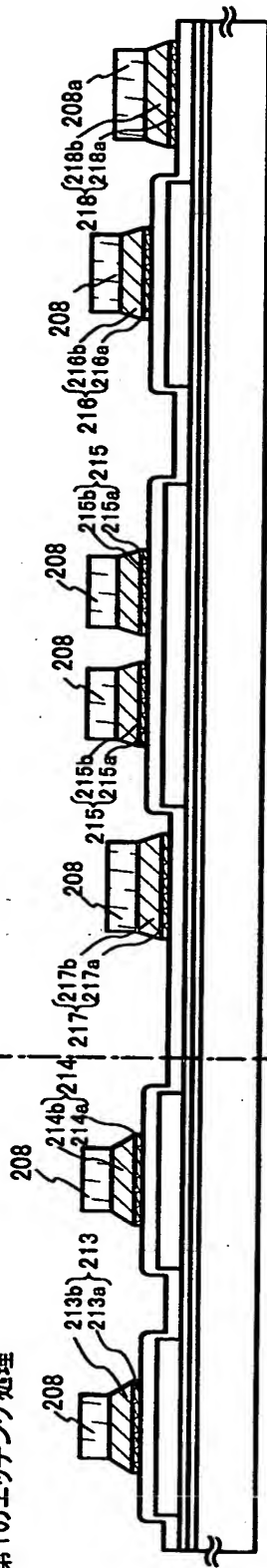


【図3】

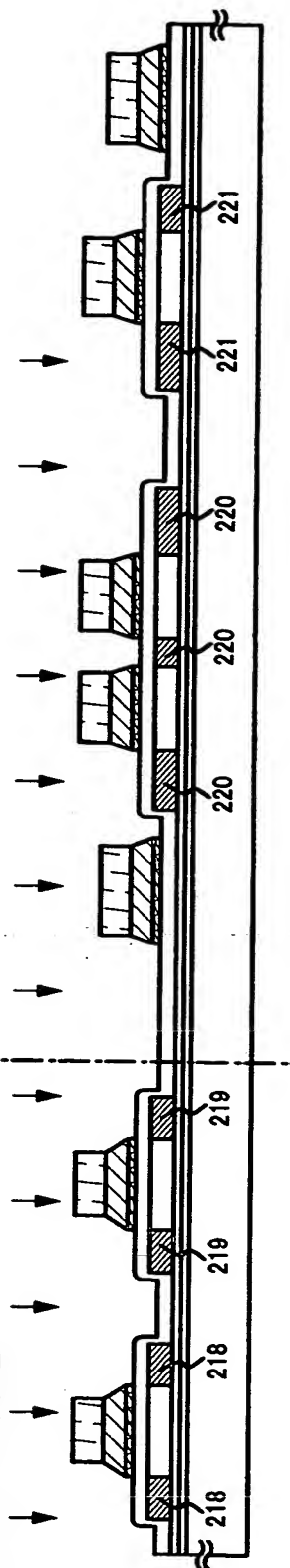
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理

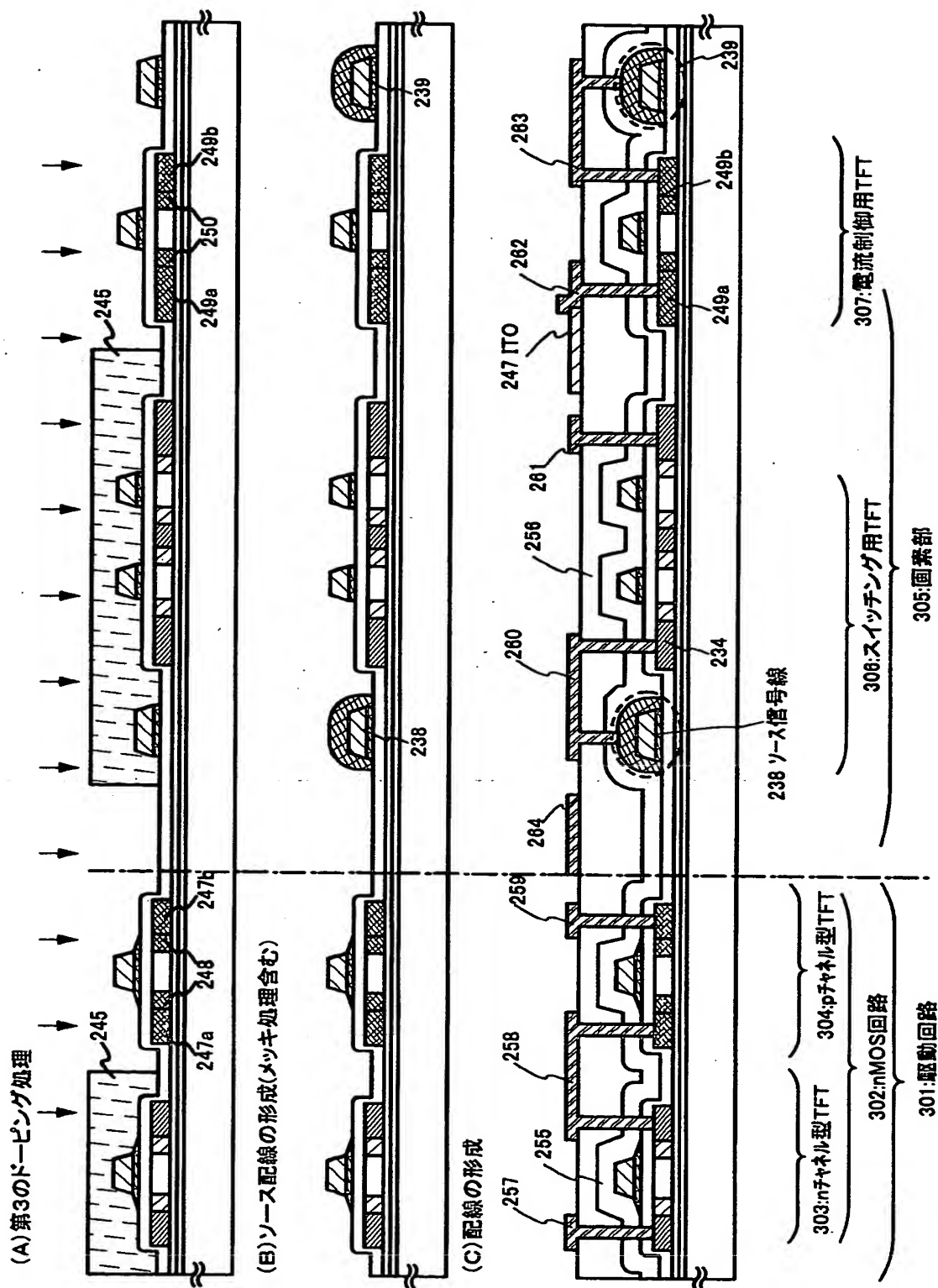


(C) 第1のドーピング処理

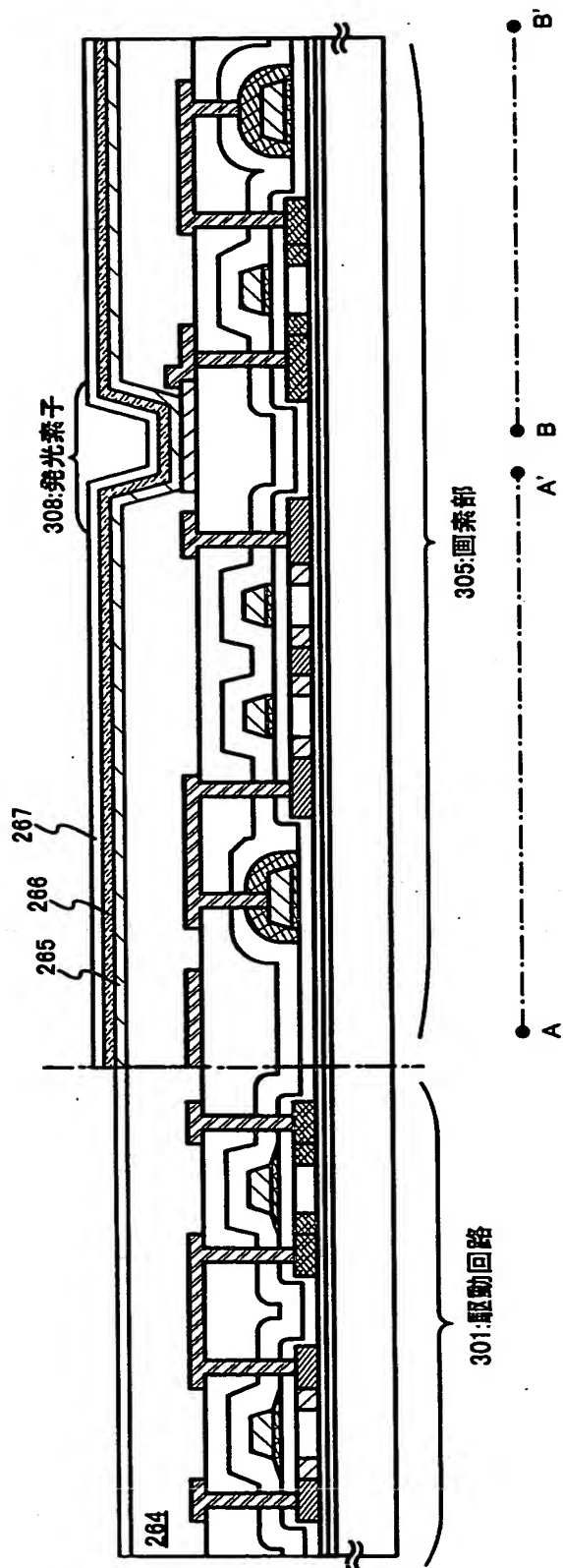




【図5】

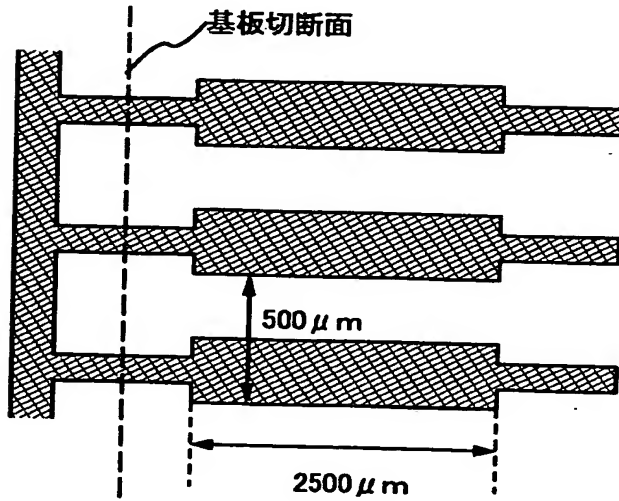


【図 6】

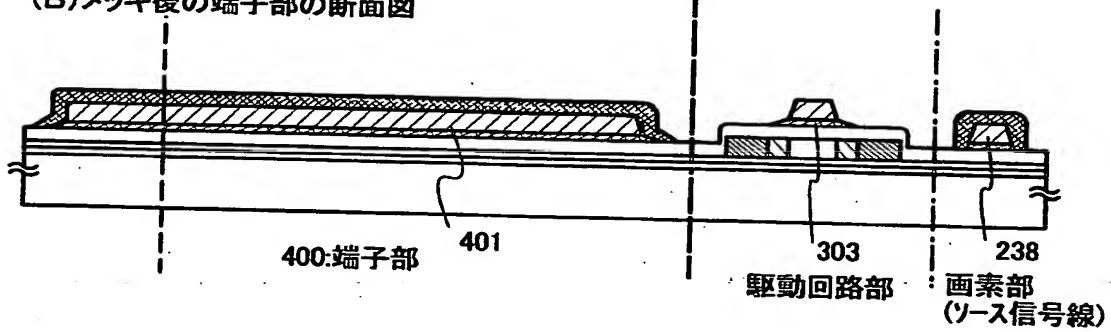


【図 7】

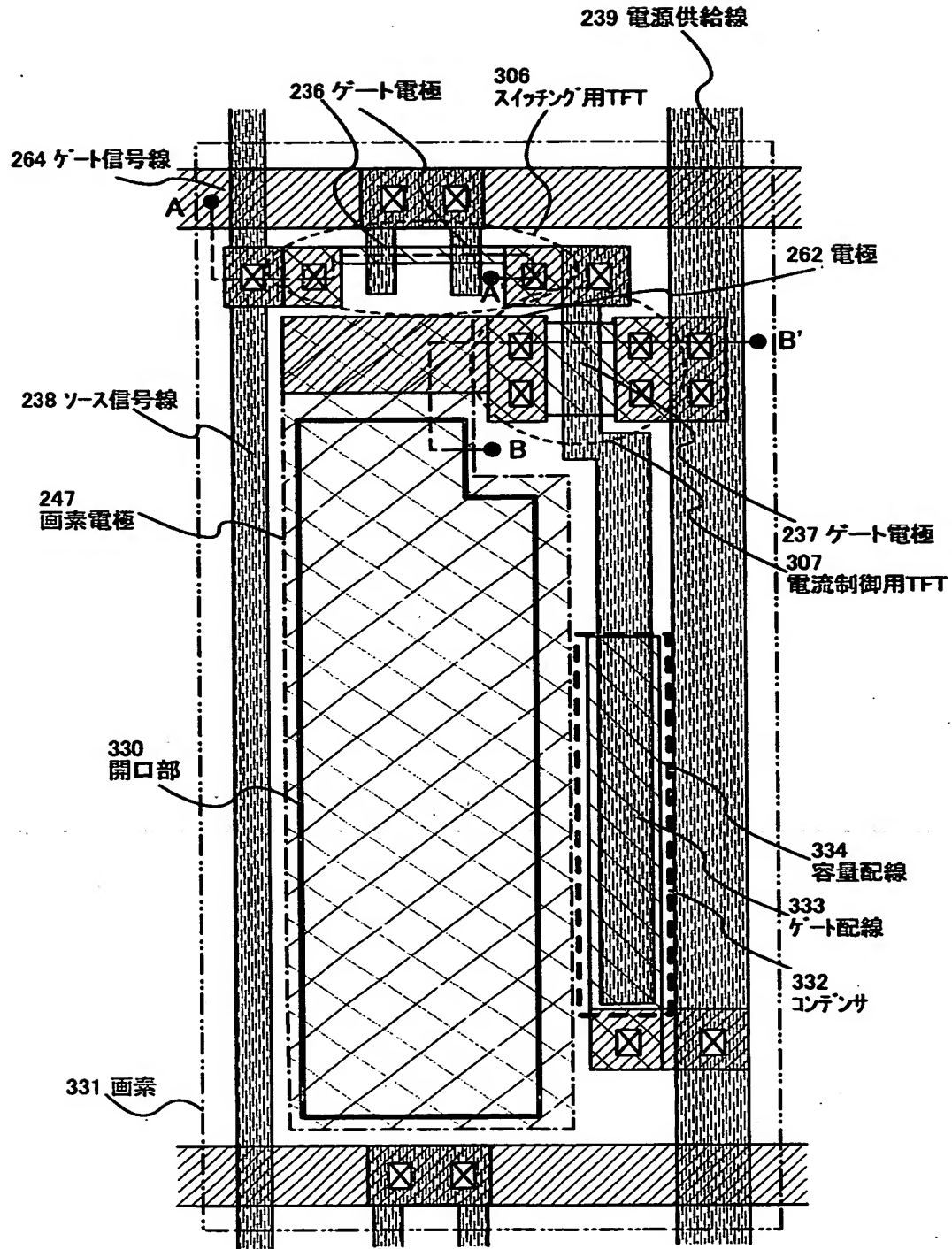
(A)メッキ後の端子部の上面図



(B)メッキ後の端子部の断面図

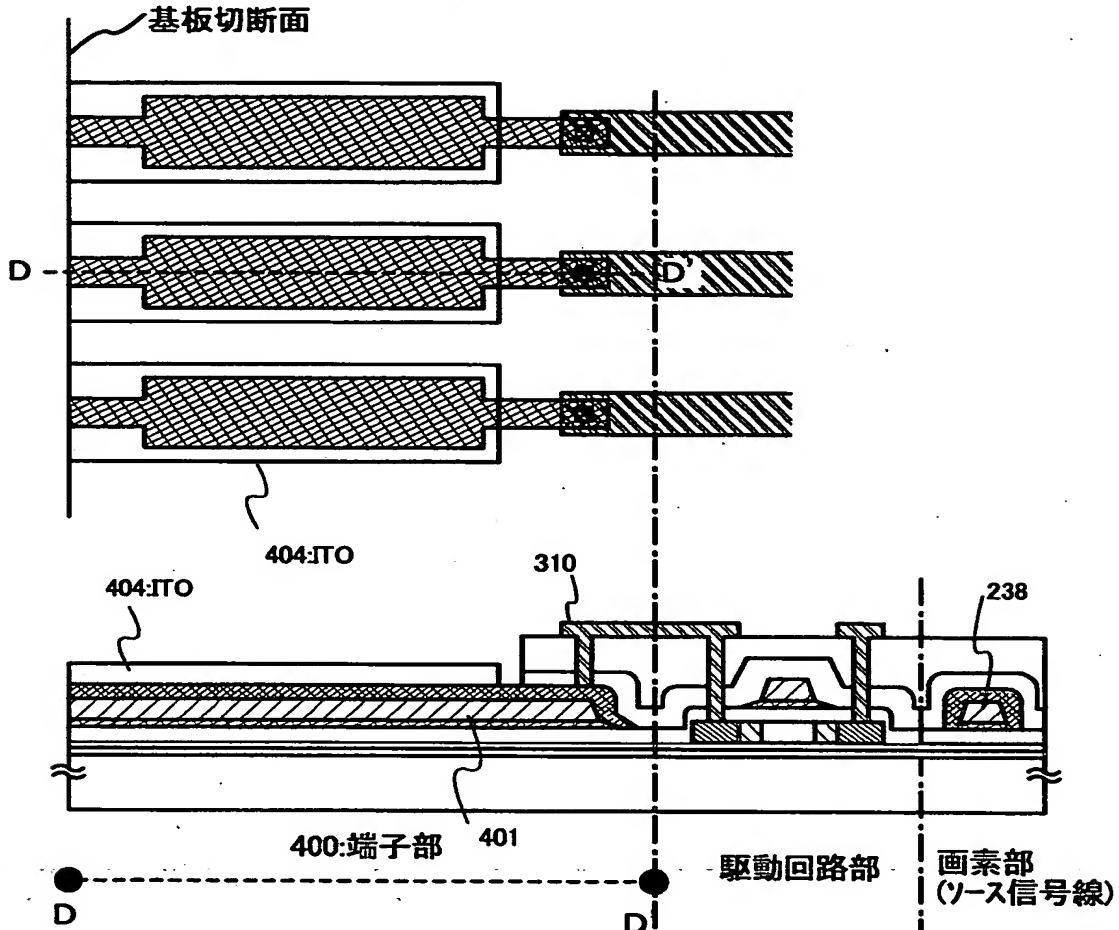


【図 8】

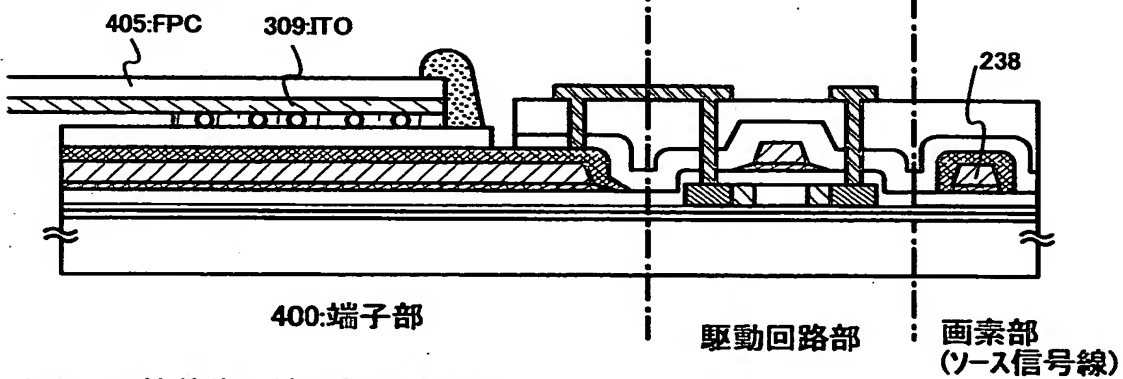


【図9】

(A) 基板分断後の端子部の上面図

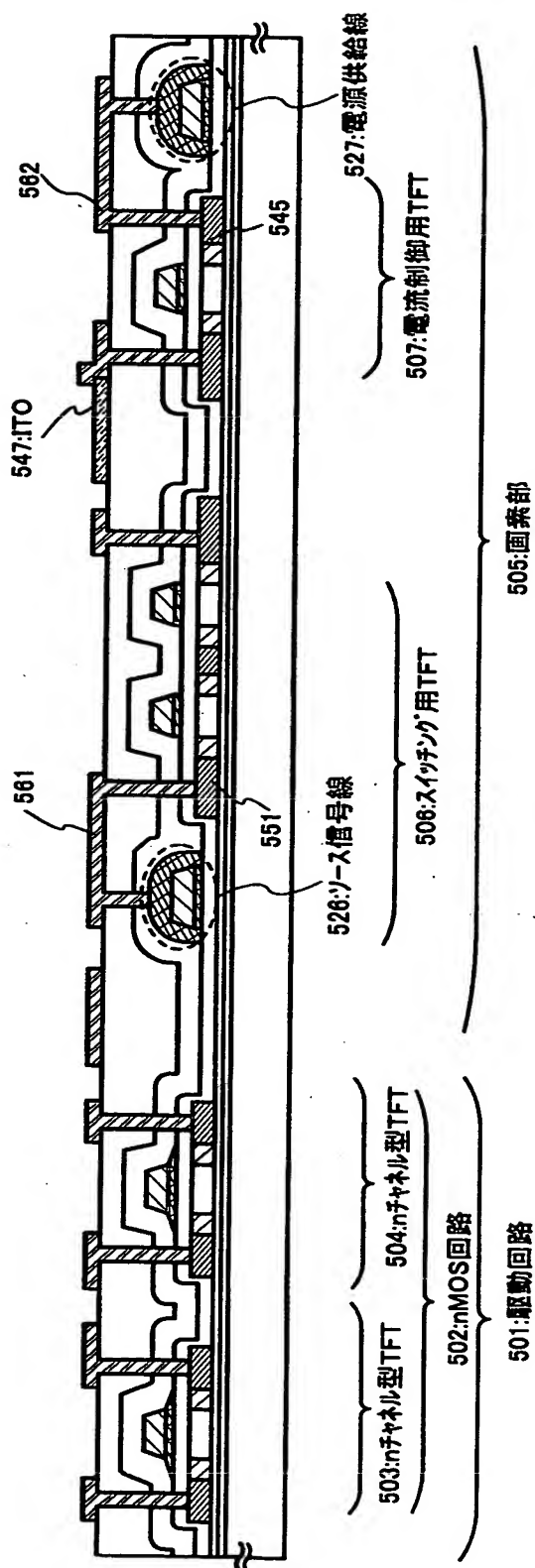


(B) 基板分断後の端子部の断面図

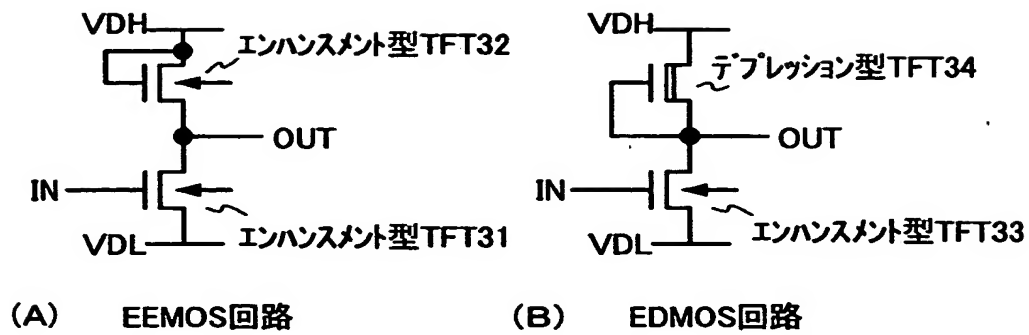


(C) FPC接着後の端子部の断面図

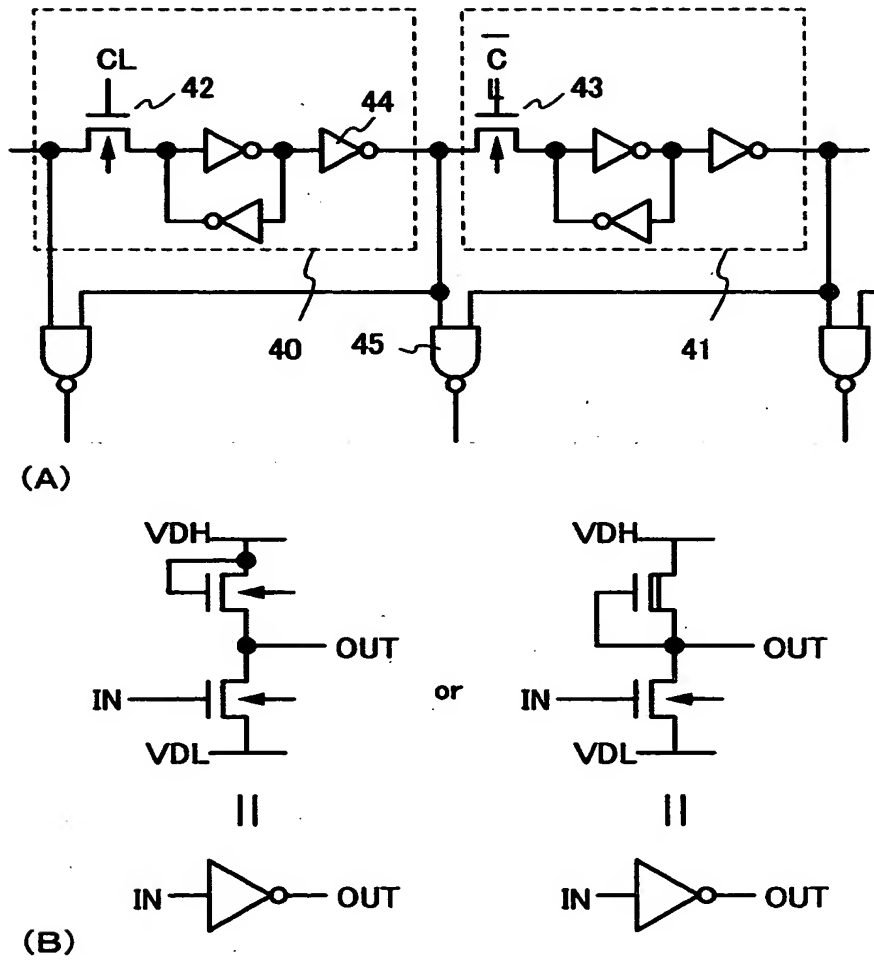
【図10】



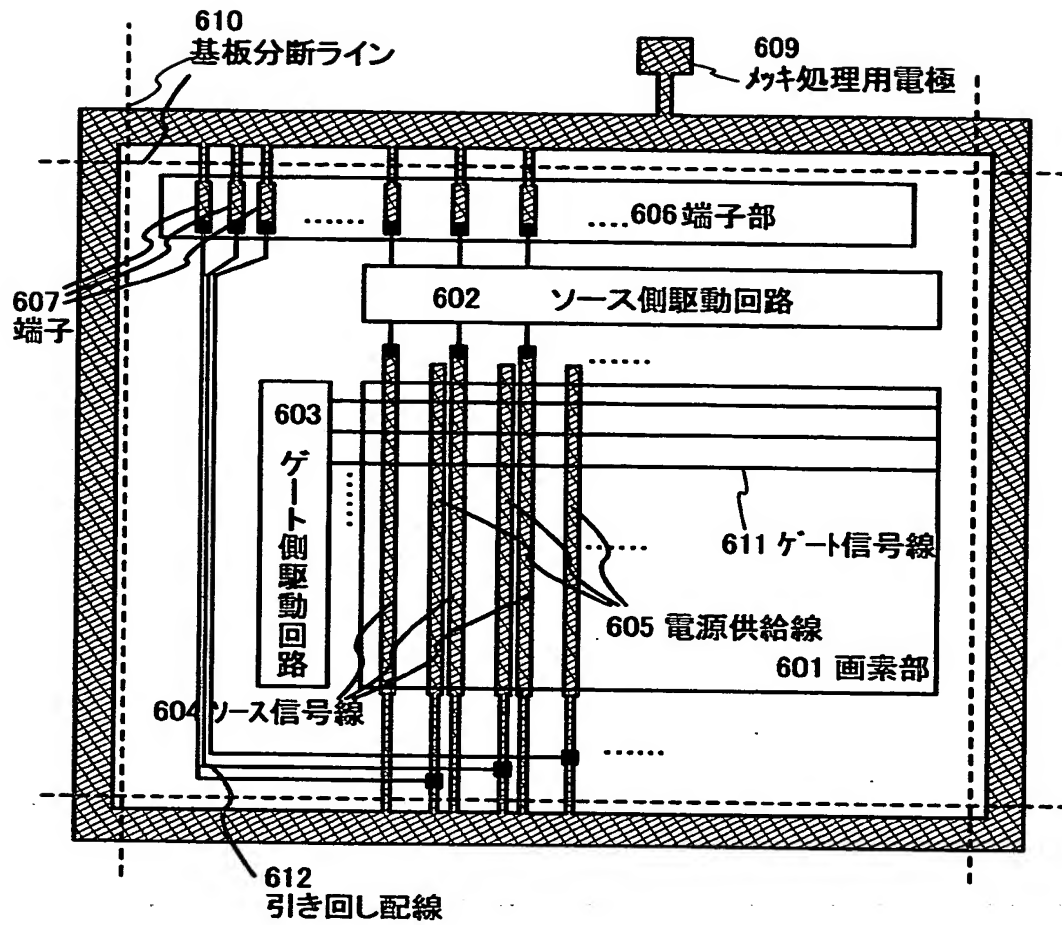
【図 1 1】



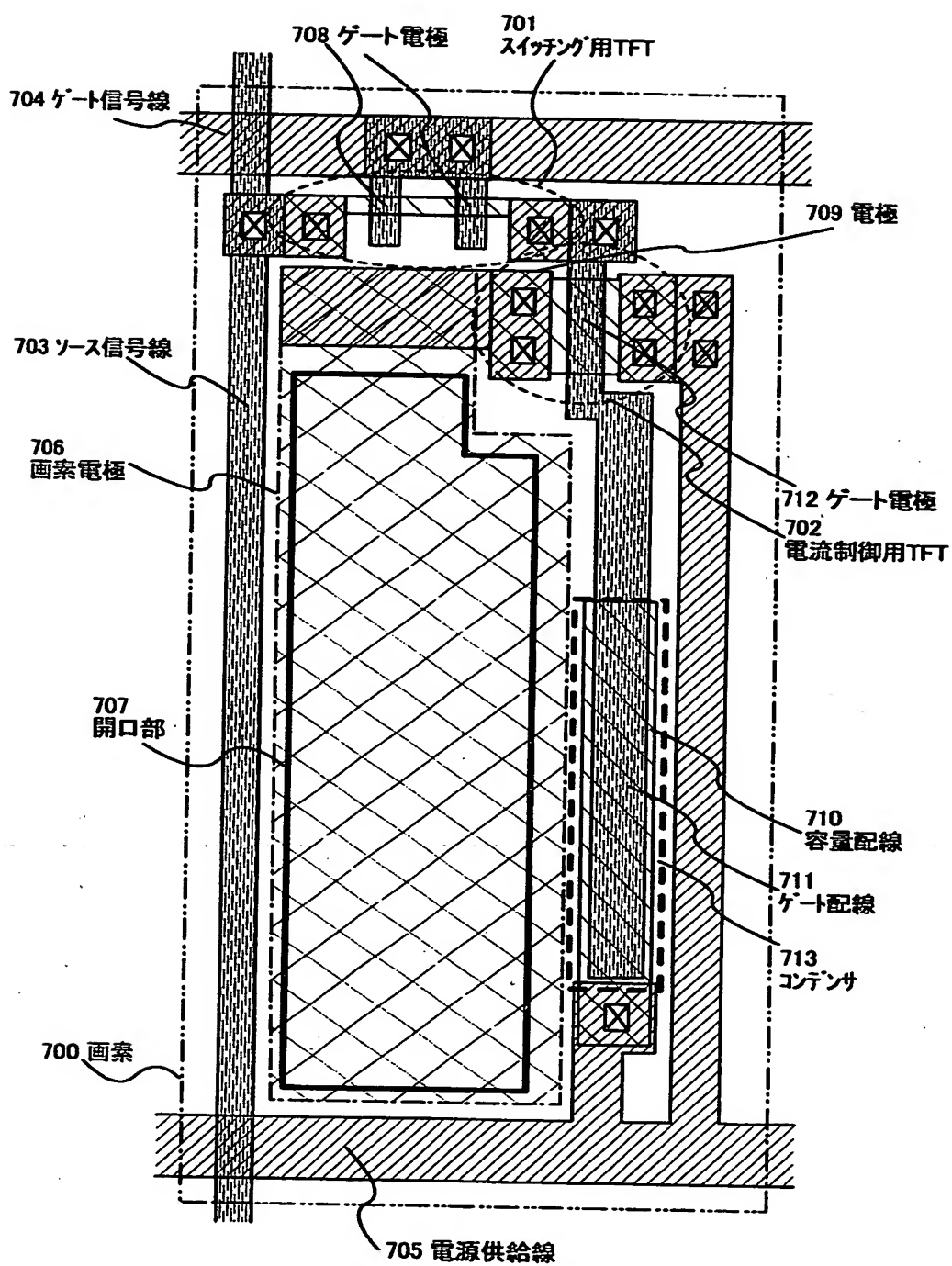
【図 1 2】



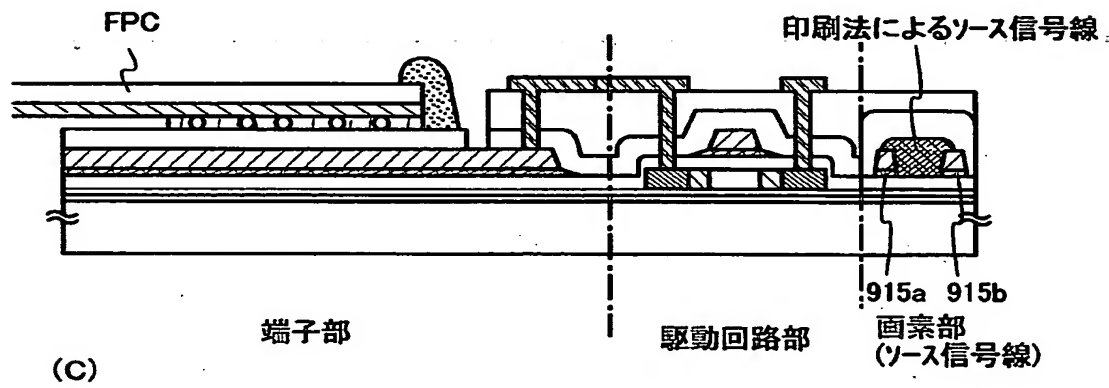
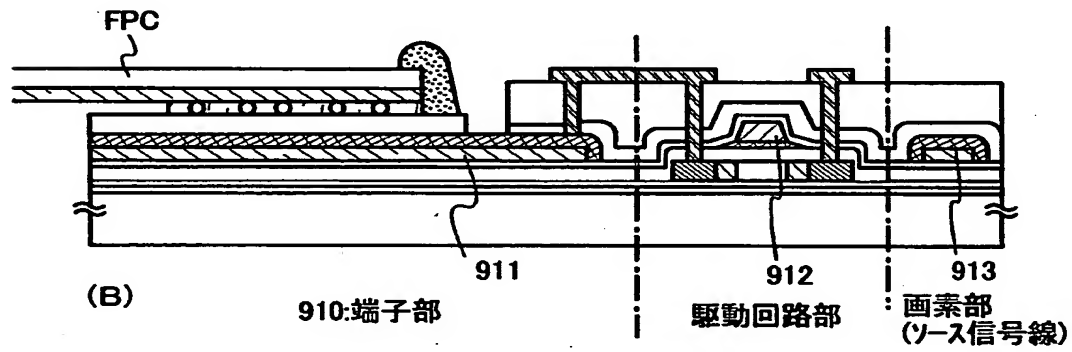
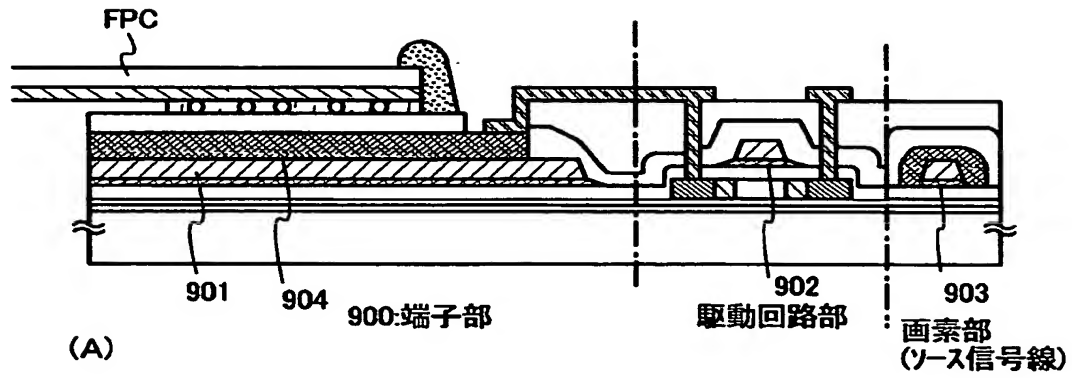
【図13】



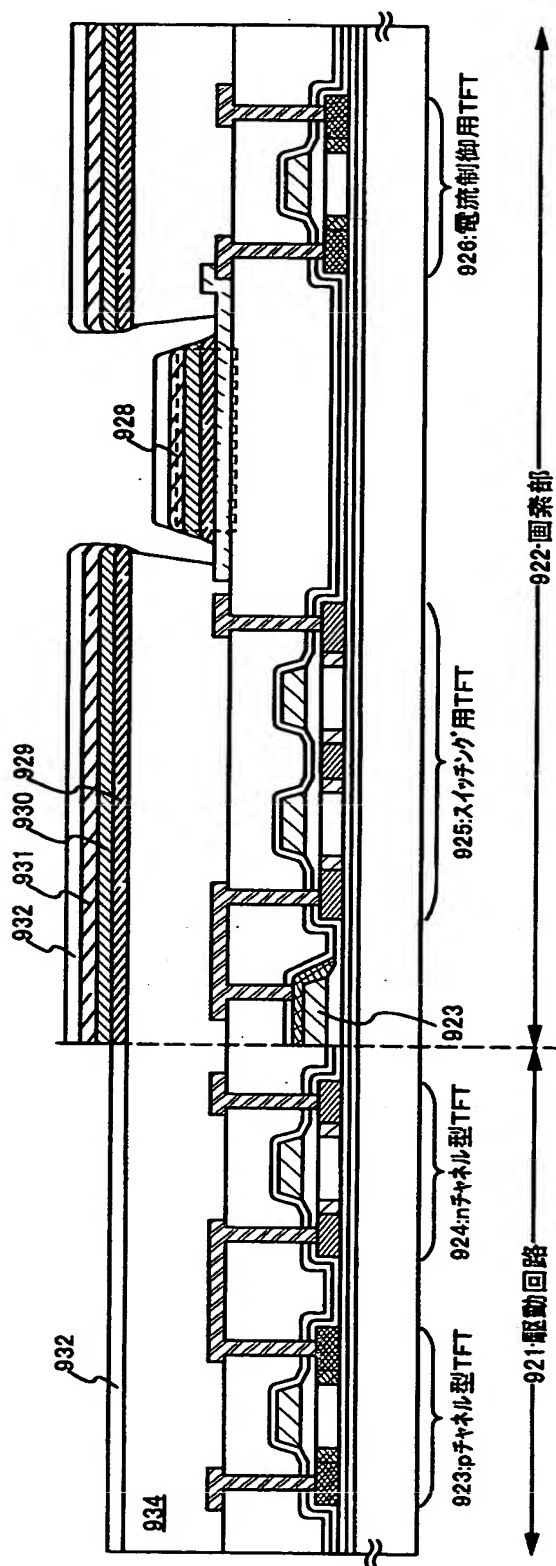
【図14】



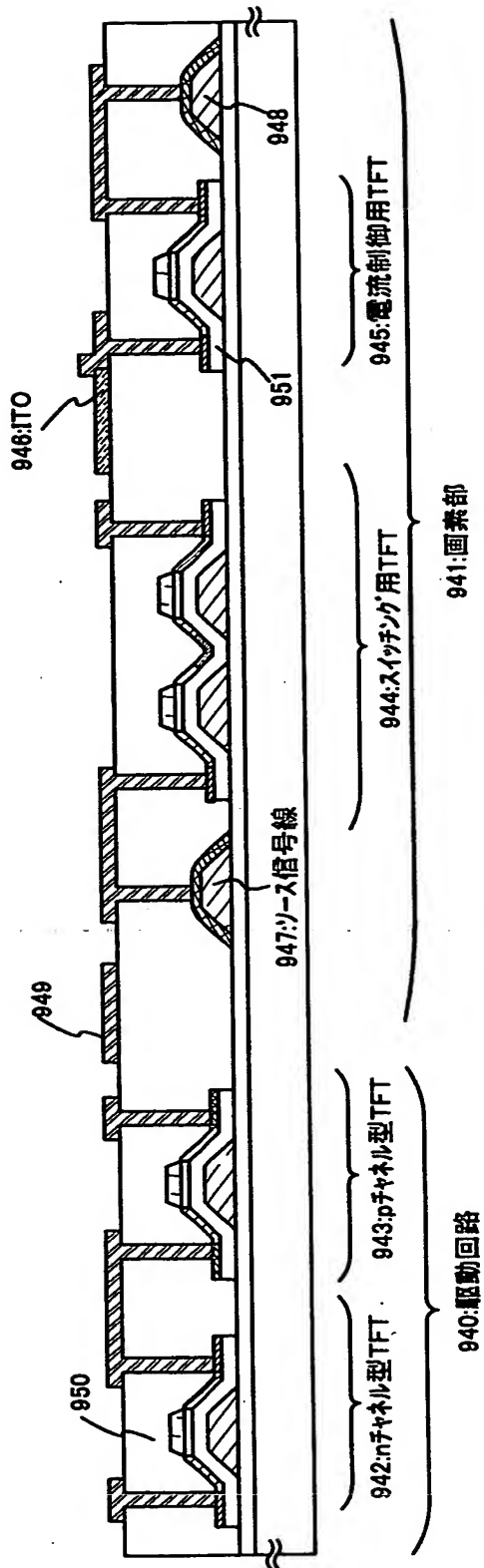
【図15】



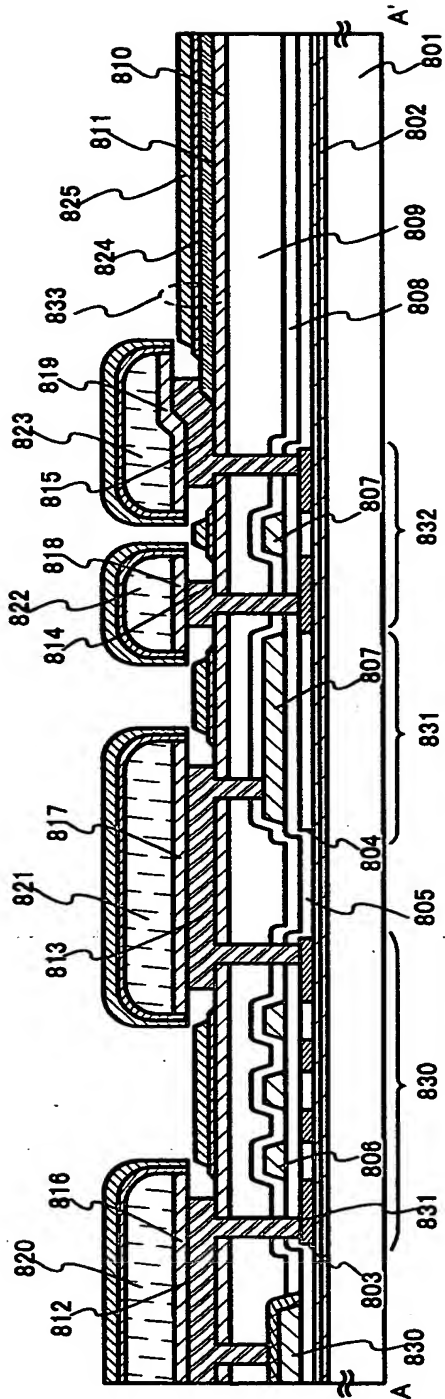
【図16】



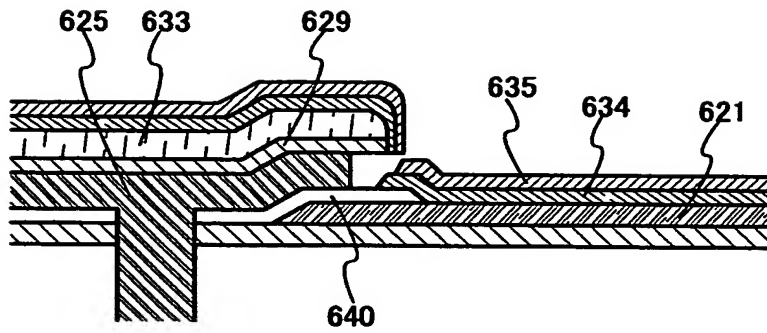
【図17】



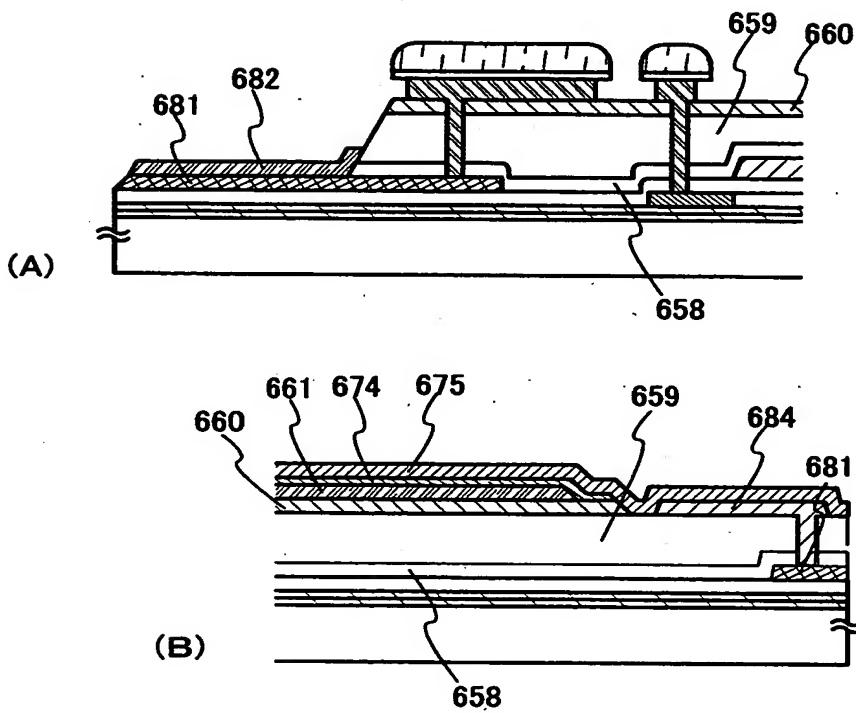
【図18】



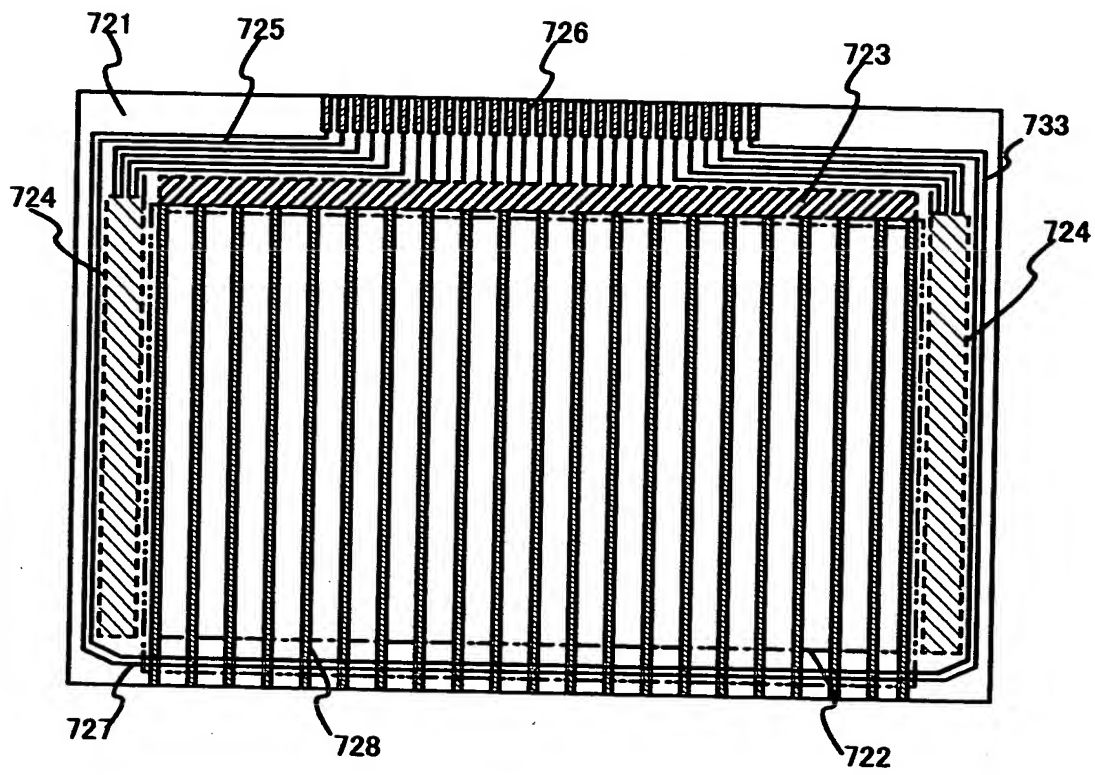
【図19】



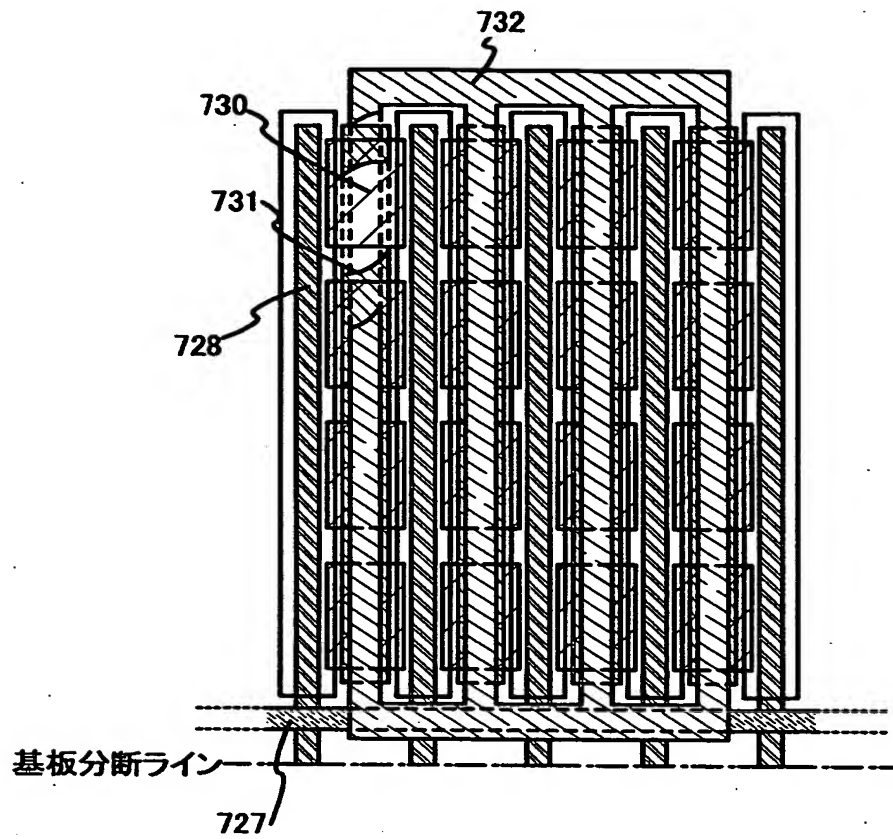
【図20】



【図21】

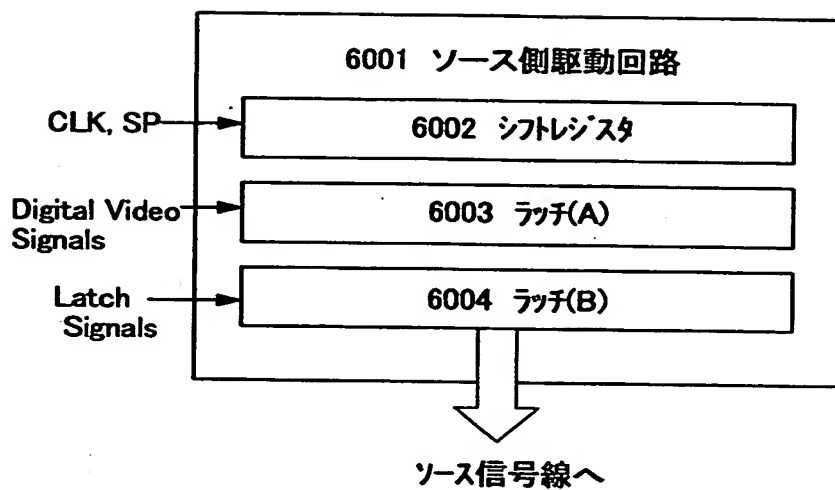


【図22】

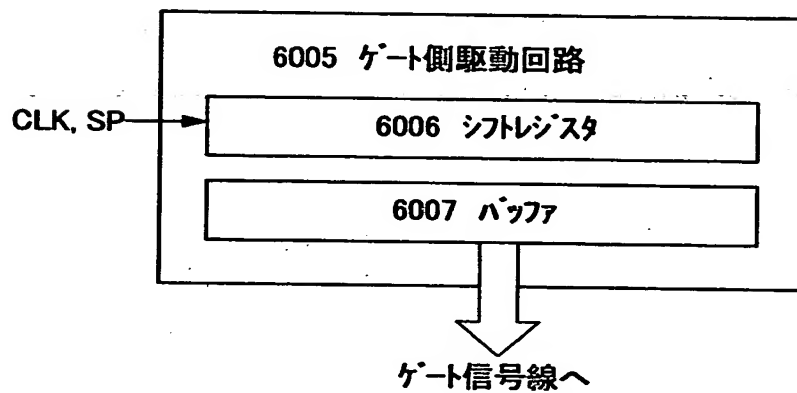


【図 23】

(A)

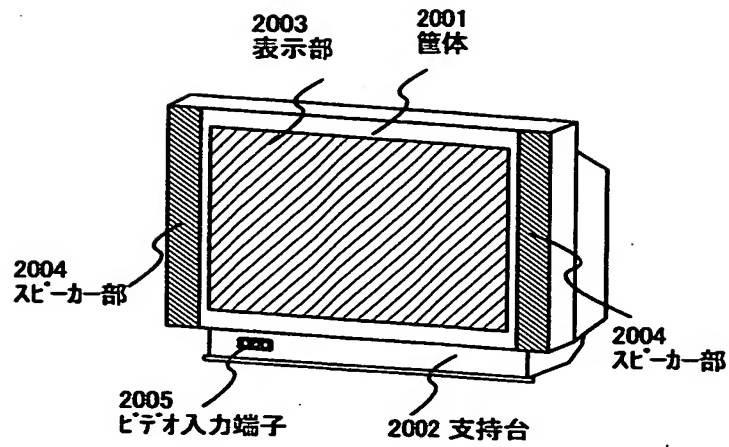


(B)

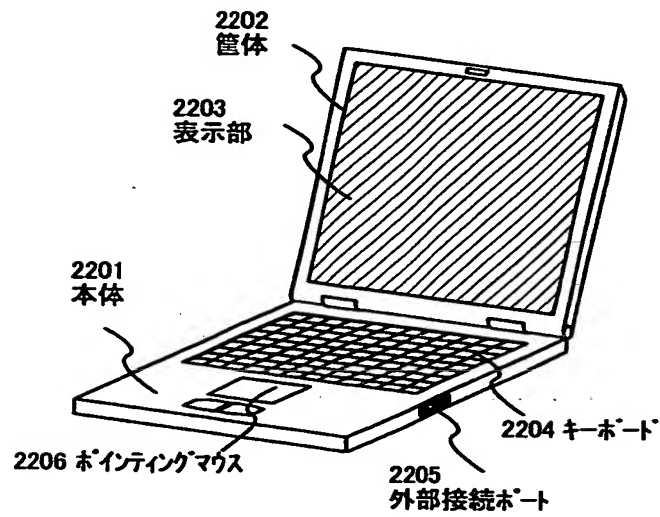


【図24】

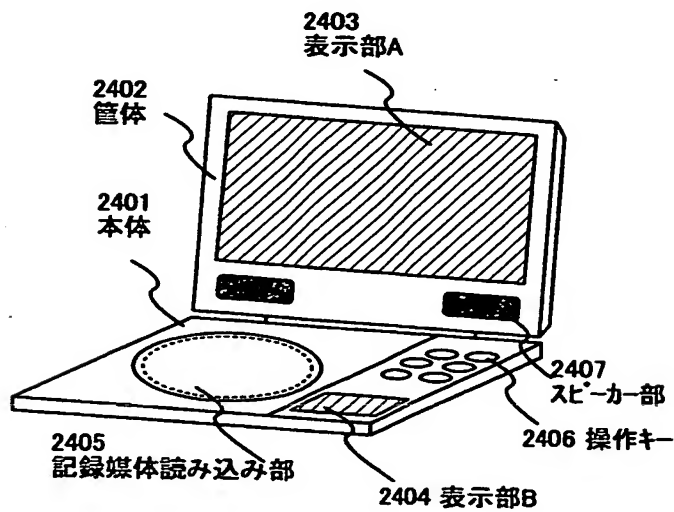
(A)



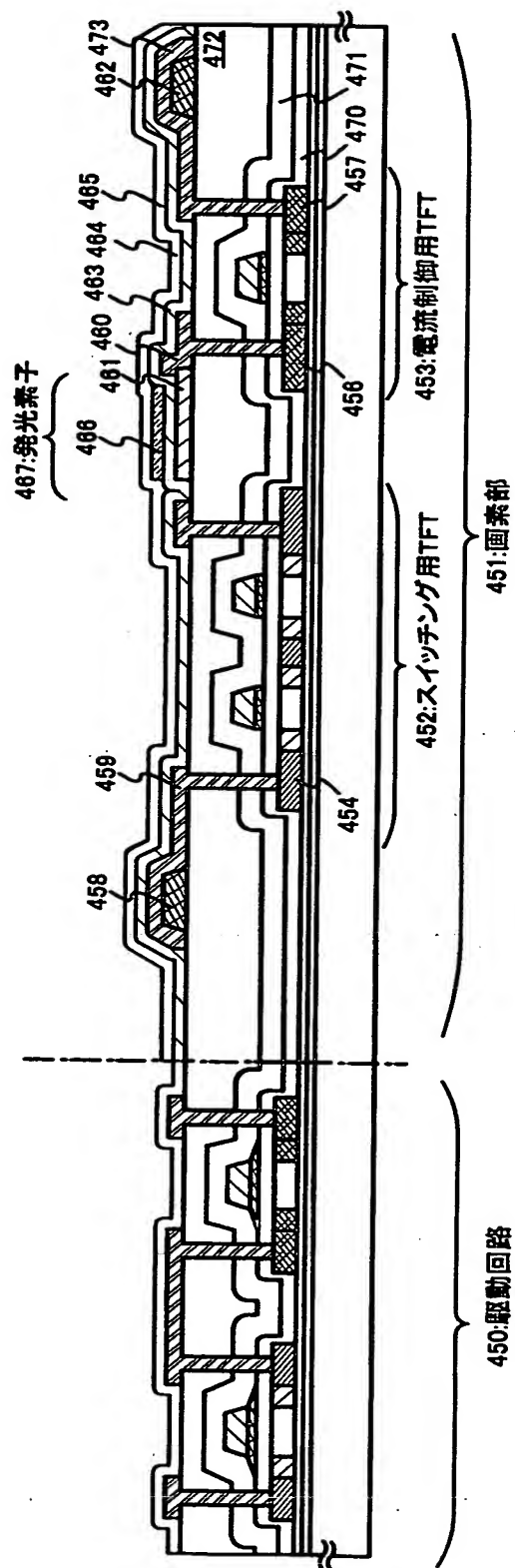
(B)



(C)



【図 25】



【書類名】 要約書

【要約】

【課題】 大画面化しても低消費電力を実現できる発光装置を提供する。

【解決手段】 画素部のソース信号線または電源供給線の表面をメッキ処理して配線の低抵抗化を図る

【選択図】 図 1

特2000-388378

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所